

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-240814

(43) 公開日 平成8年(1996)9月17日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/133	5 5 0	1/133	5 5 0
H 0 1 L 29/786			H 0 1 L 29/78	6 2 7 A
21/336				

審査請求 未請求 請求項の数37 F D (全 29 頁)

(21) 出願番号 特願平7-70879

(22) 出願日 平成7年(1995)3月3日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 浅野 雅朗

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

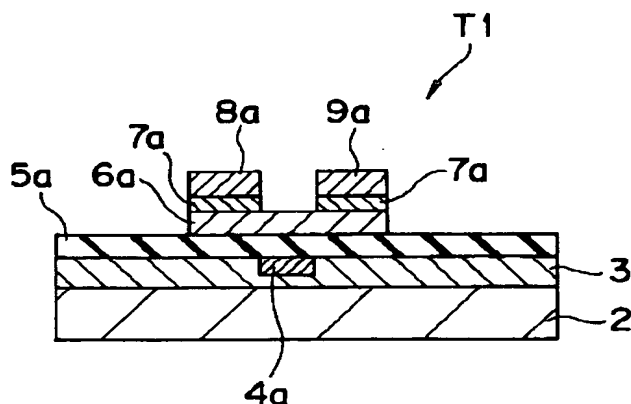
(74) 代理人 弁理士 米田 潤三 (外2名)

## (54) 【発明の名称】 薄膜トランジスタとその製造方法およびアクティブマトリックス基板とその製造方法

## (57) 【要約】

【目的】 従来の薄膜トランジスタの構造上の問題を解決し、電極の断線や電極間の絶縁不良の発生を防止した薄膜トランジスタと、このような薄膜トランジスタをマトリックス状に複数備えたアクティブマトリックス基板と、これらの製造方法を提供する。

【構成】 耐熱性支持基板に剥離可能に形成された金属メッキ層上に、連続成膜によりドレイン電極とソース電極用の電極層、半導体層、ゲート絶縁層、ゲート電極用の電極層を所望の順序で積層して積層体を予め作製し、この多層体の構成層をパターニングし、および/または、基板に多層体を転写した後にパターニングして薄膜トランジスタとすることにより、薄膜トランジスタを構成するゲート電極層、ゲート絶縁層、半導体層、ドレイン電極層、ソース電極層のすべてあるいは大部分を平坦に形成して、ゴミ混入によるピンホールや欠け、および、構成層の段差乗り越えによる断線や絶縁不良の発生の極めて少ない薄膜トランジスタと、このような薄膜トランジスタをマトリックス状に備えたアクティブマトリックス基板とする。



(2)

1

## 【特許請求の範囲】

【請求項1】 基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、該半導体層上に所定のパターンで平坦に形成されたドレイン電極層およびソース電極層とを備えることを特徴とする薄膜トランジスタ。

【請求項2】 基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、該半導体層の所定箇所に接続するように形成されたドレイン電極層およびソース電極層とを備えることを特徴とする薄膜トランジスタ。

【請求項3】 基板上に形成された接着層と、同一面を形成するように所定のパターンで平坦に形成されたドレイン電極層とソース電極層とに順次積層された平坦な半導体層およびゲート絶縁層とからなる積層部を前記接着層の表面側に段差を生じることなく所定のパターンで有し、前記接着層の表面に露出している前記ゲート絶縁層上に所定のパターンで平坦に形成されたゲート電極層を備えることを特徴とする薄膜トランジスタ。

【請求項4】 基板上に形成された接着層と、所定のパターンで形成されたドレイン電極層とソース電極層とに接続するように所定のパターンで平坦に設けられた半導体層および該半導体層に平坦に積層されたゲート絶縁層とからなる積層部を前記接着層の表面側に段差を生じることなく所定のパターンで有し、前記接着層の表面に露出している前記ゲート絶縁層上に所定のパターンで平坦に形成されたゲート電極層を備えることを特徴とする薄膜トランジスタ。

【請求項5】 基板上に形成された接着層の表面側に段差を生じることなく所定の線状パターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、前記ゲート電極層とほぼ直交するように所定のパターンで平坦に形成されたドレイン電極層およびソース電極層とを備え、前記半導体層は前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置してチャネル部を構成し、前記ドレイン電極層と前記ソース電極層は同一平面上にあり、かつ、いずれか一方が複数の能動素子についての共通のドレイン電極あるいはソース電極として機能することを特徴とする薄膜トランジスタ。

【請求項6】 基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたドレイ

2

ン電極層およびソース電極層と、該ドレイン電極層とソース電極層に順次積層された平坦な半導体層、ゲート絶縁層およびゲート電極層とを備え、前記半導体層は前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置してチャネル部を構成し、前記ドレイン電極層と前記ソース電極層は同一平面上にあり、かつ、いずれか一方が複数の能動素子についての共通のドレイン電極あるいはソース電極として機能することを特徴とする薄膜トランジスタ。

10 【請求項7】 前記半導体層と前記ドレイン電極層との層間および前記半導体層と前記ソース電極層との層間にコンタクト層を備えることを特徴とする請求項1乃至請求項6のいずれかに記載の薄膜トランジスタ。

【請求項8】 表面に保護層を備えることを特徴とする請求項1乃至請求項7のいずれかに記載の薄膜トランジスタ。

【請求項9】 耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にドレイン電極とソース電極用の電極層、コンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、

20 前記多層体のゲート電極用の電極層をパターニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、

基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層、コンタクト層およびドレイン電極とソース電極用の電極層を前記基板上に転写する第3の工程と、

30 前記ドレイン電極とソース電極用の電極層、コンタクト層および前記半導体層をパターニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターニングして所定のパターンを有する平坦なドレイン電極層とソース電極層を形成する第4の工程と、からなることを特徴とする薄膜トランジスタの製造方法。

【請求項10】 耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にゲート電極用の電極層、ゲート絶縁層、半導体層、コンタクト層、ドレイン電極とソース電極用の電極層を順次積層して多層体を形成する第1の工程と、

前記ドレイン電極とソース電極用の電極層、前記コンタクト層、前記半導体層および前記ゲート絶縁層をパターニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターニングして所定のパターンを有する平坦なドレイン電極層とソース電極層を形成する第2の工程と、

基板上に接着層を介して前記多層体の前記ドレイン電極層とソース電極層側を接着し、前記耐熱性支持基板およ

50

(3)

3

び前記金属メッキ層を剥離することにより、前記ドレイン電極層、ソース電極層、コンタクト層、半導体層、ゲート絶縁層およびゲート電極用の電極層を前記基板上に転写する第3の工程と、

前記ゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第4の工程と、からなることを特徴とする薄膜トランジスタの製造方法。

【請求項11】 耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にドレイン電極とソ

ース電極用の電極層、コンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、

前記多層体のゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、

基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層、コンタクト層およびドレイン電極とソ

ース電極用の電極層を前記基板上に転写する第3の工程と、

前記ドレイン電極とソース電極用の電極層、コンタクト層および半導体層をパターンニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして、同一平面上に所定のパターンを有する平坦なドレイン電極層とソース電極層を形成し、前記半導体層を前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置したチャンネル部とし、前記ドレイン電極層と前記ソース電極層のいずれか一方を複数の能動素子についての共通のドレイン電極あるいはソース電極とする第4の工程と、からなることを特徴とする薄膜トランジスタの製造方法。

【請求項12】 基板と、該基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、該半導体層上に所定のパターンで平坦に形成されたドレイン電極層およびソース電極層とを備える薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えることを特徴とするアクティブマトリックス基板。

【請求項13】 基板と、該基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、該半導体層の所定箇所に接続するよ

4

うに形成されたドレイン電極層およびソース電極層とを備える薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えることを特徴とするアクティブマトリックス基板。

【請求項14】 基板と、該基板上に形成された接着層と、所定のパターンで平坦に形成されたドレイン電極層とソース電極層とに順次積層された平坦な半導体層およびゲート絶縁層とからなる積層部を前記接着層の表面側に段差を生じることなく所定のパターンで有し、前記接着層の表面に露出している前記ゲート絶縁層上に所定のパターンで平坦に形成されたゲート電極層を備える薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えることを特徴とするアクティブマトリックス基板。

【請求項15】 基板と、該基板上に形成された接着層と、所定のパターンで形成された金属導電体からなるドレイン電極層とソース電極層とに接続するように所定のパターンで平坦に設けられた半導体層および該半導体層に平坦に積層されたゲート絶縁層とからなる積層部を前記接着層の表面側に段差を生じることなく所定のパターンで有し、前記接着層の表面に露出している前記ゲート絶縁層上に所定のパターンで平坦に形成されたゲート電極層を備える薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する透明画素電極を備えることを特徴とするアクティブマトリックス基板。

【請求項16】 基板と、該基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、前記ゲート電極層をほぼ直交するように所定のパターンで平坦に形成されたドレイン電極層およびソース電極層とを備え、前記半導体層は前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置してチャンネル部を構成し、前記ドレイン電極層と前記ソース電極層は同一平面上にあり、かつ、いずれか一方が複数の能動素子についての共通のドレイン電極あるいはソース電極として機能するような薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えることを特徴とするアクティブマトリックス基板。

【請求項17】 基板と、該基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたドレイン電極層とソース電極層と、該ドレイン電極層とソース電極層に順次積層された平坦な半導体層、

(4)

5

ゲート絶縁層およびゲート電極層とを備え、前記半導体層は前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置してチャネル部を構成し、前記ドレイン電極層と前記ソース電極層は同一平面上にあり、かつ、いずれか一方が複数の能動素子についての共通のドレイン電極あるいはソース電極として機能するような薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えることを特徴とするアクティブマトリックス基板。

【請求項18】 前記半導体層と前記ドレイン電極層との間および前記半導体層と前記ソース電極層との層間にコンタクト層を備えることを特徴とする請求項12乃至請求項17のいずれかに記載のアクティブマトリックス基板。

【請求項19】 前記画素電極は透明導電体で形成されており、透過型のアクティブマトリックス基板であることを特徴とする請求項26乃至請求項29、請求項17および請求項18のいずれかに記載のアクティブマトリックス基板。

【請求項20】 前記画素電極は金属導電体で形成されており、反射型のアクティブマトリックス基板であることを特徴とする請求項12乃至請求項18のいずれかに記載のアクティブマトリックス基板。

【請求項21】 前記画素電極は前記ドレイン電極層および前記ソース電極層のいずれか一方と一体的に形成されていることを特徴とする請求項12、請求項13、請求項16乃至請求項20のいずれかに記載のアクティブマトリックス基板。

【請求項22】 前記画素電極を除いた領域の表面に保護層を備えることを特徴とする請求項12乃至請求項21のいずれかに記載のアクティブマトリックス基板。

【請求項23】 複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、

耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にドレイン電極とソース電極用の電極層、コンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、

前記多層体のゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、

基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層、コンタクト層およびドレイン電極とソース電極用の電極層を前記基板上に転写する第3の工程と、

前記ドレイン電極とソース電極用の電極層、コンタクト

6

層および前記半導体層をパターンニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして所定のパターンを有する平坦なドレイン電極層とソース電極層を形成する第4の工程と、からなることを特徴とするアクティブマトリックス基板の製造方法。

【請求項24】 前記第4の工程において、前記ドレイン電極層およびソース電極の形成と同時に画素電極を一体的に形成することを特徴とする請求項23に記載のアクティブマトリックス基板の製造方法。

【請求項25】 前記第4の工程において、前記ドレイン電極層およびソース電極を形成した後、前記ドレイン電極層およびソース電極のいずれか一方に接続するように透明画素電極を形成することを特徴とする請求項23に記載のアクティブマトリックス基板の製造方法。

【請求項26】 複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、

耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にコンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、

前記多層体のゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、

基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層およびコンタクト層を前記基板上に転写する第3の工程と、

前記半導体層を所定のパターンにパターンニングした後、該半導体層の所定箇所前記コンタクト層を介して接続するようにドレイン電極層およびソース電極層を形成する第4の工程と、からなることを特徴とするアクティブマトリックス基板の製造方法。

【請求項27】 前記第4の工程において、前記ドレイン電極層およびソース電極の形成と同時に画素電極を一体的に形成することを特徴とする請求項26に記載のアクティブマトリックス基板の製造方法。

【請求項28】 前記第4の工程において、前記ドレイン電極層およびソース電極を形成した後、前記ドレイン電極層およびソース電極のいずれか一方に接続するように透明画素電極を形成することを特徴とする請求項26に記載のアクティブマトリックス基板の製造方法。

【請求項29】 複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、

耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にゲート電極用の電極層、ゲート絶縁層、半導体層、コンタクト層、ドレイン電極とソース電

(5)

7

極用の電極層を順次積層して多層体を形成する第1の工程と、  
前記ドレイン電極とソース電極用の電極層、前記コンタクト層、前記半導体層および前記ゲート絶縁層をパターンニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして所定のパターンを有する平坦なドレイン電極層とソース電極層、および、前記ドレイン電極層とソース電極のいずれか一方に接続する画素電極を形成する第2の工程と、  
基板上に接着層を介して前記多層体の前記ドレイン電極層とソース電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ドレイン電極層、ソース電極層、半導体層、ゲート絶縁層およびゲート電極用の電極層を前記基板上に転写する第3の工程と、  
前記ゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第4の工程と、からなることを特徴とするアクティブマトリックス基板の製造方法。

【請求項30】 前記第2の工程において、前記ドレイン電極層およびソース電極を形成前に画素電極用の電極層を形成し、前記ドレイン電極とソース電極用の電極層および画素電極用の電極層をパターンニングして所定のパターンを有する平坦なドレイン電極層とソース電極層、および、前記ドレイン電極層とソース電極のいずれか一方に接続する画素電極を形成することを特徴とする請求項29に記載のアクティブマトリックス基板の製造方法。

【請求項31】 前記第2の工程において、前記ドレイン電極層およびソース電極を形成した後、前記ドレイン電極層およびソース電極のいずれか一方に接続するように透明画素電極を形成することを特徴とする請求項29に記載のアクティブマトリックス基板の製造方法。

【請求項32】 前記第4の工程において、画素電極形成領域に前記ゲート電極用の電極層を残存させて反射型のアクティブマトリックス基板とすることを特徴とする請求項29乃至請求項31のいずれかに記載のアクティブマトリックス基板の製造方法。

【請求項33】 複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、  
耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にゲート電極用の電極層、ゲート絶縁層、半導体層、コンタクト層を順次積層して多層体を形成する第1の工程と、  
前記コンタクト層、前記半導体層および前記ゲート絶縁層をそれぞれ所定のパターンでパターンニングした後、該半導体層の所定箇所前記コンタクト層を介して接続するように金属導電体からなるドレイン電極層とソース電極層を形成する第2の工程と、

8

基板上に接着層を介して前記多層体の前記ドレイン電極層とソース電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ドレイン電極層、ソース電極層、コンタクト層、半導体層、ゲート絶縁層およびゲート電極用の電極層を前記基板上に転写する第3の工程と、  
前記ゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第4の工程と、からなることを特徴とするアクティブマトリックス基板の製造方法。

【請求項34】 複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、

耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にドレイン電極とソース電極用の電極層、コンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、

前記多層体のゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、

基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層、コンタクト層およびドレイン電極とソース電極用の電極層を前記基板上に転写する第3の工程と、

前記ドレイン電極とソース電極用の電極層、コンタクト層および半導体層をパターンニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして、同一平面上に所定のパターンを有する平坦なドレイン電極層とソース電極層と、該ドレイン電極層およびソース電極のいずれか一方に接続する画素電極とを形成し、前記半導体層を前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置したチャネル部とし、前記ドレイン電極層と前記ソース電極層のいずれか一方を複数の能動素子についての共通のドレイン電極あるいはソース電極とする第4の工程と、からなることを特徴とするアクティブマトリックス基板の製造方法。

【請求項35】 複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、

耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にゲート電極用の電極層、ゲート絶縁層、半導体層、コンタクト層、ドレイン電極とソース電極用の電極層を順次積層して多層体を形成する第1の工程と、

前記ドレイン電極とソース電極用の電極層および前記コンタクト層をパターンニングして、同一平面上に所定のパ

50

(6)

9

ターンを有する平坦なドレイン電極層およびソース電極層と、該ドレイン電極層およびソース電極のいずれか一方に接続する画素電極とを形成し、前記半導体層を前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置したチャンネル部とし、前記ドレイン電極層と前記ソース電極層のいずれか一方を複数の能動素子についての共通のドレイン電極あるいはソース電極とする第2の工程と、

基板上に接着層を介して前記多層体の前記ドレイン電極層とソース電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ドレイン電極層、ソース電極層、コンタクト層、半導体層、ゲート絶縁層およびゲート電極用の電極層を前記基板上に転写する第3の工程と、

前記ゲート電極用の電極層、ゲート絶縁層および半導体層をパターンニングして所定のパターンを有する平坦なゲート電極層、ゲート絶縁層および半導体層とする第4の工程と、からなることを特徴とするアクティブマトリックス基板の製造方法。

【請求項36】 前記ドレイン電極とソース電極用の電極層を透明導電物質で形成し、透過型のアクティブマトリックス基板とすることを特徴とする請求項35に記載のアクティブマトリックス基板の製造方法。

【請求項37】 前記ドレイン電極とソース電極用の電極層を金属導電物質で形成し、反射型のアクティブマトリックス基板とすることを特徴とする請求項35に記載のアクティブマトリックス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタとこの薄膜トランジスタをマトリックス状に複数備えたアクティブマトリックス基板に係り、特に断線や絶縁不良等の欠陥を生じ難い薄膜トランジスタとアクティブマトリックス基板およびこれらの製造方法に関する。

【0002】

【従来の技術】薄膜トランジスタは、特に液晶ディスプレイの分野での利用価値が高く、その需要は今後益々増大してゆくものと思われる。薄膜トランジスタは、通常、ガラス基板上にゲート電極を形成し、この上に絶縁層を介して半導体層と、ドレイン電極およびソース電極とを形成した能動素子である。そして、ドレイン電極とソース電極との間の領域に形成されるチャンネルは、ゲート電極に印加する電圧を制御することにより導通状態としたり、非導通状態とすることができ、これにより、薄膜トランジスタはドレイン電極とソース電極との間がON/OFFするスイッチング素子としての動作を行うことができる。

【0003】このような薄膜トランジスタを液晶ディスプレイに応用する場合には、1画素に1個の薄膜トランジスタが存在するように、基板上に複数の薄膜トランジ

10

スタを縦横にマトリックス状に配列し、各薄膜トランジスタごとに表示（画素）電極を接続してアクティブマトリックス基板を形成することになる。例えば、ゲート電極をこのマトリックスの横方向に延設し、ソース電極をこのマトリックスの縦方向に延設し、各薄膜トランジスタにおいてドレイン電極を1画素に対応する表示（画素）電極に接続すれば、ゲート電極とソース電極との組み合わせにより、任意の画素に対応する表示（画素）電極の電位を制御することができるようになる。

【0004】ここで、薄膜トランジスタの構造の主流は、NSI型（N<sup>+</sup> Semiconductor Insulator）とISI型（Insulator Semiconductor Insulator）と呼ばれるボトムゲートのものである。NSI型はISI型に比べて、製造工程が簡単になる（必要なマスクが少なくなる）という利点を有する。これに対して、ISI型はエッチングストッパ層を有するため、チャンネル部分の半導体層がパターンニングによるプラズマダメージを受けにくくなり、膜厚の均一性、再現性が保たれる。このため、電気的特性に関する精度が高い高品質な能動素子が得られるという利点を有する。

【0005】また、薄膜トランジスタの構造として、ドレイン電極が2つのソース電極間に位置する2S-TFT構造が知られている。この2S-TFT構造では、ドレイン電極の両側にチャンネル部が形成される。

【0006】

【発明が解決しようとする課題】しかし、上述のように薄膜トランジスタを用いてアクティブマトリックス基板を形成し、このアクティブマトリックス基板を用いて液晶ディスプレイを構成した場合、マトリックスの横方向に延設されたゲート電極と縦方向に延設されたソース電極とが断線あるいは絶縁不良になると、マトリックス状に配列された画素が行単位または列単位で制御不能となる。すなわち、液晶ディスプレイの画面上で縦方向または横方向に不要な線が現れることになり、画像品質上重大な欠陥をもつことになる。

【0007】上記のような断線あるいは絶縁不良は、通常、薄膜トランジスタを作製する工程で発生し、おもな原因として、ゴミ混入の問題と構造上の問題とが挙げられる。

【0008】一般にアクティブマトリックス基板は、種々の薄膜形成工程、パターンニング工程を通して作製されるため、各工程においてゴミが混入する可能性が大きく、混入したゴミの脱落によりピンホールや欠けが発生して断線あるいは絶縁不良が生じるという問題があった。

【0009】また、従来の薄膜トランジスタは、その構造上、ステップカバーレージが問題となる。すなわち、所定のパターンでゲート電極を薄膜形成すると、ゲート電極の形成部と非形成部との境界においてゲート電極の膜厚分に相当した段差が生じる。次に、このゲート電極

(7)

11

上にゲート絶縁層、半導体層が形成されるが、この工程においても半導体層の形成部と非形成部との境界において半導体層の層厚分に相当した段差が生じる。さらに、この半導体層上にソース電極とドレイン電極とが形成されるが、上記の段差部分でのステップカバーレッジを考慮しないと、ソース電極の断線やゲート電極とソース電極が交差する部分での絶縁不良を発生することになる。このような断線や絶縁不良は、スパッタリング等により形成するゲート絶縁層の膜厚を大きくすることにより防止されるが、膜厚を大きくすると薄膜形成の時間およびパターニングに要する時間が増大し、製造効率の低下を来すという問題があった。

【0010】さらに、ゲート電極やソース電極、ドレイン電極は、例えば、大型液晶ディスプレイ装置用として使用する場合、配線がながくなり、電気抵抗が大きくなって表示に不都合を生じるという問題があった。この対策として、配線の膜厚を増加させることにより電気抵抗を減少させることが行われている。しかし、配線の膜厚を大きくすると上述のステップカバーレッジの問題が発生する。

【0011】本発明は上述のような実情に鑑みてなされたものであり、従来の薄膜トランジスタの構造上の問題を解決し、電極の断線や電極間の絶縁不良の発生を防止した薄膜トランジスタと、このような薄膜トランジスタをマトリックス状に複数備えたアクティブマトリックス基板と、これらの製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】このような目的を達成するために、本発明の薄膜トランジスタの第1の発明は、基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、該半導体層上に所定のパターンで平坦に形成されたドレイン電極層およびソース電極層とを備えるような構成とした。

【0013】薄膜トランジスタの第2の発明は、基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、該半導体層の所定箇所に接続するように形成されたドレイン電極層およびソース電極層とを備えるような構成とした。

【0014】また、薄膜トランジスタの第3の発明は、基板上に形成された接着層と、同一面を形成するように所定のパターンで平坦に形成されたドレイン電極層とソース電極層とに順次積層された平坦な半導体層およびゲート絶縁層とからなる積層部を前記接着層の表面側に段

12

差を生じることなく所定のパターンで有し、前記接着層の表面に露出している前記ゲート絶縁層上に所定のパターンで平坦に形成されたゲート電極層を備えるような構成とした。

【0015】薄膜トランジスタの第4の発明は、基板上に形成された接着層と、所定のパターンで形成されたドレイン電極層とソース電極層とに接続するように所定のパターンで平坦に設けられた半導体層および該半導体層に平坦に積層されたゲート絶縁層とからなる積層部を前記接着層の表面側に段差を生じることなく所定のパターンで有し、前記接着層の表面に露出している前記ゲート絶縁層上に所定のパターンで平坦に形成されたゲート電極層を備えるような構成とした。

【0016】また、薄膜トランジスタの第5の発明は、基板上に形成された接着層の表面側に段差を生じることなく所定の線状パターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、前記ゲート電極層とほぼ直交するように所定のパターンで平坦に形成されたドレイン電極層およびソース電極層とを備え、前記半導体層は前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置してチャンネル部を構成し、前記ドレイン電極層と前記ソース電極層は同一平面上にあり、かつ、いずれか一方が複数の能動素子についての共通のドレイン電極あるいはソース電極として機能するような構成とした。

【0017】さらに、薄膜トランジスタの第6の発明は、基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたドレイン電極層およびソース電極層と、該ドレイン電極層とソース電極層に順次積層された平坦な半導体層、ゲート絶縁層およびゲート電極層とを備え、前記半導体層は前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置してチャンネル部を構成し、前記ドレイン電極層と前記ソース電極層は同一平面上にあり、かつ、いずれか一方が複数の能動素子についての共通のドレイン電極あるいはソース電極として機能するような構成とした。

【0018】本発明の薄膜トランジスタの製造方法の第1の発明は、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にドレイン電極とソース電極用の電極層、コンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、前記多層体のゲート電極用の電極層をパターニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層、コン

(8)

13

タクト層およびドレイン電極とソース電極用の電極層を前記基板上に転写する第3の工程と、前記ドレイン電極とソース電極用の電極層、コンタクト層および前記半導体層をパターンニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして所定のパターンを有する平坦なドレイン電極層とソース電極層を形成する第4の工程と、からなるような構成とした。

【0019】また、薄膜トランジスタの製造方法の第2の発明は、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にゲート電極用の電極層、ゲート絶縁層、半導体層、コンタクト層、ドレイン電極とソース電極用の電極層を順次積層して多層体を形成する第1の工程と、前記ドレイン電極とソース電極用の電極層、前記コンタクト層、前記半導体層および前記ゲート絶縁層をパターンニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして所定のパターンを有する平坦なドレイン電極層とソース電極層を形成する第2の工程と、基板上に接着層を介して前記多層体の前記ドレイン電極層とソース電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ドレイン電極層、ソース電極層、コンタクト層、半導体層、ゲート絶縁層およびゲート電極用の電極層を前記基板上に転写する第3の工程と、前記ゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第4の工程と、からなるような構成とした。

【0020】さらに、薄膜トランジスタの製造方法の第3の発明は、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にドレイン電極とソース電極用の電極層、コンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、前記多層体のゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層、コンタクト層およびドレイン電極とソース電極用の電極層を前記基板上に転写する第3の工程と、前記ドレイン電極とソース電極用の電極層、コンタクト層および半導体層をパターンニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして、同一平面上に所定のパターンを有する平坦なドレイン電極層とソース電極層を形成し、前記半導体層を前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置したチャネル部とし、前記ドレイン電極層と前記ソース電極層のいずれか一方を複数の能動素子についての共通のドレイン電極あるいはソース電極とする第4の工程と、からなるような構成とし

14

た。

【0021】本発明のアクティブマトリックス基板の第1の発明は、基板と、該基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、該半導体層上に所定のパターンで平坦に形成されたドレイン電極層およびソース電極層とを備える薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えるような構成とした。

【0022】アクティブマトリックス基板の第2の発明は、基板と、該基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、該半導体層の所定箇所に接続するように形成されたドレイン電極層およびソース電極層とを備える薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えるような構成とした。

【0023】また、アクティブマトリックス基板の第3の発明は、基板と、該基板上に形成された接着層と、所定のパターンで平坦に形成されたドレイン電極層とソース電極層とに順次積層された平坦な半導体層およびゲート絶縁層とからなる積層部を前記接着層の表面側に段差を生じることなく所定のパターンで有し、前記接着層の表面に露出している前記ゲート絶縁層上に所定のパターンで平坦に形成されたゲート電極層を備える薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えるような構成とした。

【0024】アクティブマトリックス基板の第4の発明は、基板と、該基板上に形成された接着層と、所定のパターンで形成された金属導電体からなるドレイン電極層とソース電極層とに接続するように所定のパターンで平坦に設けられた半導体層および該半導体層に平坦に積層されたゲート絶縁層とからなる積層部を前記接着層の表面側に段差を生じることなく所定のパターンで有し、前記接着層の表面に露出している前記ゲート絶縁層上に所定のパターンで平坦に形成されたゲート電極層を備える薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する透明画素電極を備えるような構成とした。



(9)

15

【0025】また、アクティブマトリックス基板の第5の発明は、基板と、該基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたゲート電極層と、少なくとも前記ゲート電極層を覆うように前記接着層上に平坦に形成されたゲート絶縁層と、該ゲート絶縁層上に所定のパターンで平坦に形成された半導体層と、前記ゲート電極層をほぼ直交するように所定のパターンで平坦に形成されたドレイン電極層およびソース電極層とを備え、前記半導体層は前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置してチャネル部を構成し、前記ドレイン電極層と前記ソース電極層は同一平面上にあり、かつ、いずれか一方が複数の能動素子についての共通のドレイン電極あるいはソース電極として機能するような薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えるような構成とした。

【0026】さらに、アクティブマトリックス基板の第6の発明は、基板と、該基板上に形成された接着層の表面側に段差を生じることなく所定のパターンで設けられたドレイン電極層とソース電極層と、該ドレイン電極層とソース電極層に順次積層された平坦な半導体層、ゲート絶縁層およびゲート電極層とを備え、前記半導体層は前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置してチャネル部を構成し、前記ドレイン電極層と前記ソース電極層は同一平面上にあり、かつ、いずれか一方が複数の能動素子についての共通のドレイン電極あるいはソース電極として機能するような薄膜トランジスタをマトリックス状に複数有し、各薄膜トランジスタの前記ドレイン電極層および前記ソース電極層のいずれか一方に接続する画素電極を備えるような構成とした。

【0027】本発明のアクティブマトリックス基板の製造方法の第1の発明は、複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にドレイン電極とソース電極用の電極層、コンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、前記多層体のゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層、コンタクト層およびドレイン電極とソース電極用の電極層を前記基板上に転写する第3の工程と、前記ドレイン電極とソース電極用の電極層、コンタクト層および前記半導体層をパターンニングして所定領域のみを

16

残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして所定のパターンを有する平坦なドレイン電極層とソース電極層を形成する第4の工程と、からなるような構成とした。

【0028】アクティブマトリックス基板の製造方法の第2の発明は、複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にコンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、前記多層体のゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層およびコンタクト層を前記基板上に転写する第3の工程と、前記半導体層を所定のパターンにパターンニングした後、該半導体層の所定箇所に前記コンタクト層を介して接続するようにドレイン電極層およびソース電極層を形成する第4の工程と、からなるような構成とした。

【0029】また、アクティブマトリックス基板の製造方法の第3の発明は、複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にゲート電極用の電極層、ゲート絶縁層、半導体層、コンタクト層、ドレイン電極とソース電極用の電極層を順次積層して多層体を形成する第1の工程と、前記ドレイン電極とソース電極用の電極層、前記コンタクト層、前記半導体層および前記ゲート絶縁層をパターンニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターンニングして所定のパターンを有する平坦なドレイン電極層とソース電極層、および、前記ドレイン電極層とソース電極のいずれか一方に接続する画素電極を形成する第2の工程と、基板上に接着層を介して前記多層体の前記ドレイン電極層とソース電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ドレイン電極層、ソース電極層、半導体層、ゲート絶縁層およびゲート電極用の電極層を前記基板上に転写する第3の工程と、前記ゲート電極用の電極層をパターンニングして所定のパターンを有する平坦なゲート電極層とする第4の工程と、からなるような構成とした。

【0030】アクティブマトリックス基板の製造方法の第4の発明は、複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にゲート電極用

(10)

17

の電極層、ゲート絶縁層、半導体層、コンタクト層を順次積層して多層体を形成する第1の工程と、前記コンタクト層、前記半導体層および前記ゲート絶縁層をそれぞれ所定のパターンでパターニングした後、該半導体層の所定箇所に前記コンタクト層を介して接続するように金属導電体からなるドレイン電極層とソース電極層を形成する第2の工程と、基板上に接着層を介して前記多層体の前記ドレイン電極層とソース電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ドレイン電極層、ソース電極層、コンタクト層、半導体層、ゲート絶縁層およびゲート電極用の電極層を前記基板上に転写する第3の工程と、前記ゲート電極用の電極層をパターニングして所定のパターンを有する平坦なゲート電極層とする第4の工程と、からなるような構成とした。

【0031】また、アクティブマトリックス基板の製造方法の第5の発明は、複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にドレイン電極とソース電極用の電極層、コンタクト層、半導体層、ゲート絶縁層、ゲート電極用の電極層を順次積層して多層体を形成する第1の工程と、前記多層体のゲート電極用の電極層をパターニングして所定のパターンを有する平坦なゲート電極層とする第2の工程と、基板上に接着層を介して前記多層体の前記ゲート電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ゲート電極層、ゲート絶縁層、半導体層、コンタクト層およびドレイン電極とソース電極用の電極層を前記基板上に転写する第3の工程と、前記ドレイン電極とソース電極用の電極層、コンタクト層および半導体層をパターニングして所定領域のみを残し、さらに前記ドレイン電極とソース電極用の電極層をパターニングして、同一平面上に所定のパターンを有する平坦なドレイン電極層とソース電極層と、該ドレイン電極層およびソース電極のいずれか一方に接続する画素電極とを形成し、前記半導体層を前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置したチャンネル部とし、前記ドレイン電極層と前記ソース電極層のいずれか一方を複数の能動素子についての共通のドレイン電極あるいはソース電極とする第4の工程と、からなるような構成とした。

【0032】さらに、アクティブマトリックス基板の製造方法の第6の発明は、複数の薄膜トランジスタと画素電極層とをマトリックス状に有するアクティブマトリックス基板の製造方法において、耐熱性支持基板上に金属メッキ層を剥離可能に形成し、該金属メッキ層上にゲート電極用の電極層、ゲート絶縁層、半導体層、コンタクト層、ドレイン電極とソース電極用の電極層を順次積層して多層体を形成する第1の工程と、前記ドレイン電極

18

とソース電極用の電極層および前記コンタクト層をパターニングして、同一平面上に所定のパターンを有する平坦なドレイン電極層およびソース電極層と、該ドレイン電極層およびソース電極のいずれか一方に接続する画素電極とを形成し、前記半導体層を前記ゲート電極層と前記ドレイン電極層およびソース電極層との立体的な交差部に位置したチャンネル部とし、前記ドレイン電極層と前記ソース電極層のいずれか一方を複数の能動素子についての共通のドレイン電極あるいはソース電極とする第2の工程と、基板上に接着層を介して前記多層体の前記ドレイン電極層とソース電極層側を接着し、前記耐熱性支持基板および前記金属メッキ層を剥離することにより、前記ドレイン電極層、ソース電極層、コンタクト層、半導体層、ゲート絶縁層およびゲート電極用の電極層を前記基板上に転写する第3の工程と、前記ゲート電極用の電極層、ゲート絶縁層および半導体層をパターニングして所定のパターンを有する平坦なゲート電極層、ゲート絶縁層および半導体層とする第4の工程と、からなるような構成とした。

【0033】

【作用】耐熱性支持基板に剥離可能の形成された金属メッキ層上にドレイン電極とソース電極用の電極層、半導体層、ゲート絶縁層、ゲート電極用の電極層を所望の順序で連続成膜により積層した多層体を予め作製し、この多層体の構成層をパターニングし、および／または、基板に多層体を転写した後にパターニングして薄膜トランジスタとするので、薄膜トランジスタを構成するゲート電極層、ゲート絶縁層、半導体層、ドレイン電極層、ソース電極層のすべてあるいは大部分が平坦に形成され、これにより、薄膜トランジスタにおける薄膜の段差乗り越えによる電極の断線や電極間の絶縁不良の発生が防止される。

【0034】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0035】図1は、本発明の薄膜トランジスタの一実施例を示す概略断面図である。図1において、薄膜トランジスタT1は、基板2上に形成された接着層3の表面側に段差を生じることなく所定のパターンで設けられたゲート電極4aと、接着層3上に形成されたゲート絶縁層5aと、このゲート絶縁層5a上に所定のパターンで形成された半導体層6aと、コンタクト層7aを介して半導体層6a上に形成されたソース電極層8aおよびドレイン電極層9aとで構成されている。本発明の薄膜トランジスタT1は、図示のようにゲート電極層4a、ゲート絶縁層5a、半導体層6a、コンタクト層7a、ソース電極層8aおよびドレイン電極層9aがいずれも段差のない平坦な形状である。このため、従来の薄膜トランジスタの段差部分でのステップカバーレージは問題とはならず、ソース電極層、ドレイン電極層の断線やゲー

(11)

19

ト電極層とソース電極層の交差部分での絶縁不良を生じることがない。

【0036】薄膜トランジスタT1を構成するゲート電極層4a、ソース電極層8aおよびドレイン電極層9aは、従来の薄膜トランジスタと同様の材料、例えば、Cr、Cu、Ta、Al、Ag等によって形成することができる。また、ゲート絶縁層5aは、酸化ケイ素を主成分とする有機ガラス、塗布-焼成法で形成する酸化ケイ素を主成分とする被膜、蒸着法、スパッタリング法、CVD法等で形成される窒化ケイ素や酸化ケイ素、透明耐熱性高分子であるポリイミド、ポリアミドイミド、ガラス、セラミック前駆体ポリマー等により形成することができ、特に半導体電気特性の点から、CVD法で形成する窒化ケイ素(SiN<sub>x</sub>)が好ましい。

【0037】半導体層6aはアモルファスシリコン(a-Si)により形成することができる。また、コンタクト層(n<sup>+</sup>a-Si:H)7aはシリコンに高濃度の不純物をドーピングした層であり、半導体層6aとソース電極層8a、ドレイン電極層9aとの導通を向上させるために設けられたものである。本発明の薄膜トランジスタでは、上記のコンタクト層がないような構成でもよく、これは以下に述べる薄膜トランジスタについても同様である。

【0038】図2は、液晶ディスプレイに使用できる本発明のアクティブマトリックス基板の一部の構造を示す平面図である。図2において、アクティブマトリックス11は、図の左右方向に伸びるように等間隔で配置されているゲート電極層4aと、このゲート電極層4aと立体的に交差して図の上下方向に伸びるように等間隔で配置されているソース電極層8aとを有し、ゲート電極層4aとソース電極層8aとで囲まれたマトリックス上の各区画が画素領域となり、各画素領域には画素電極14が配設されている。上記のゲート電極層4aは、各画素領域において図の下方に突出した箇所を備え、この箇所が薄膜トランジスタT1のゲート電極層を形成し、また、ソース電極層8aは、各画素領域において図の右方向に突出した箇所を備え、この箇所が薄膜トランジスタT1のソース電極層を形成する。一方、各画素電極14の左上部分は図の左方向に突出した箇所を備え、この箇所が薄膜トランジスタT1のドレイン電極層を形成する。

【0039】図3は、図1に示される薄膜トランジスタT1を使用した本発明の第1の実施例に係るアクティブマトリックス基板を示すものであり、図2のX-X切断線における概略断面図である。図3において、アクティブマトリックス基板11は透過型のアクティブマトリックス基板であり、透明基板12と、透明基板12上に形成された透明接着層13を介してマトリックス状に形成された複数の薄膜トランジスタT1と、この薄膜トランジスタT1のドレイン電極層9aに接続するようにマト

20

リックス状に形成された複数の透明画素電極14とを備えている。薄膜トランジスタT1は、上述のようにゲート電極層4a、ゲート絶縁層5a、半導体層6a、コンタクト層7a、ソース電極層8aおよびドレイン電極層9aで構成され、いずれの層も段差のない平坦な形状である。また、透明画素電極14は、各薄膜トランジスタT1の間のゲート絶縁層5a上の所定領域に形成されている。

【0040】上記のアクティブマトリックス基板11において、透明基材12は、ポリカーボネート、ポリアリレート、ポリエーテルスルホン、変性アクリル、あるいはポリメタクリレート、エポキシ、APO(登録商標)、ZEONEX(登録商標)、ARTON(登録商標)等の樹脂を成形したフィルムであり、厚みは100~1000μm程度が好ましい。また、ガラス、セラミックス等の基板を用いることもできる。従来のアクティブマトリックス基板では、マトリックス状に薄膜トランジスタを形成する透明基材として、高価な低アルカリガラス、石英ガラス等が使用されていた。これは、薄膜トランジスタを形成する際の高温プロセスにおいて、透明基材の組成分のアルカリ等が能動素子に熱拡散され、能動素子の特性が劣化するのを防止するためであった。しかし、本発明では、後述するように透明基材12上に直接薄膜トランジスタを形成しないため、透明基材12に対する制限を大幅に減少することができる。

【0041】また、透明接着層13は、耐候性、透明性、耐薬品性に優れたアクリル酸エステル樹脂を主成分とした溶剤型感圧接着剤や紫外線硬化型接着剤等により形成することができる。このような透明接着層13の厚みは0.1~20μm程度が好ましい。

【0042】透明画素電極14は、例えば、スパッタリング法、真空蒸着法、CVD法等の公知の方法により、酸化インジウムスズ(ITO)、酸化スズ(NESA)、酸化亜鉛等の透明導電性物質を成膜(厚さ200~2000Å)することにより形成される。

【0043】次に、本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法を、図2および図3に示されるアクティブマトリックス基板11の製造を例にして説明する。図4および図5は本発明による薄膜トランジスタT1を備えたアクティブマトリックス基板11の製造方法の一例を説明するための工程図である。まず、耐熱性支持基板22上に金属メッキ層23を剥離可能に形成し、この金属メッキ層23上に保護層24を介してドレイン電極とソース電極用の電極層25、コンタクト層26、半導体層27、ゲート絶縁層28およびゲート電極用の電極層29をこの順序で連続成膜して多層体21を作製する(図4(A))。この多層体21の作製段階においては高温処理(200~350℃程度)がなされるが、耐熱性支持基板22によって積層体21に変形が生じることは防止される。したがって、この積

(12)

21

層体21の作製は、従来のガラス基板で確立されている能動素子の製造プロセス技術および設備をそのまま使用して行うことができる。

【0044】耐熱性支持基板22は少なくとも表面（金属メッキ層23の形成面側）が導電性であり、また350℃程度での加熱においても形状および寸法が安定しているものであればよく、例えばガラス基板上にチタン、クロム、ニッケル、タングステン、タンタル等の金属薄膜をスパッタリング等により形成したもの、SUS基板、インバー合金（Ni／Fe＝36／64）基板等を使用することができる。この耐熱性支持基板22の厚みは1～3mm程度が好ましい。また、金属メッキ層23は上記の耐熱性支持基板22に対して適度な接着性を示し、かつ、剥離可能なものであり、ニッケル、銅、クロム、亜鉛、スズ、鉄等、および、これらの合金等、耐熱性支持基板22の表面材料との関係から適宜選択することができる。このような金属メッキ層23の厚みは1～100μm程度が好ましい。尚、上述のように金属メッキ層23は耐熱性支持基板22に対して適度な接着性と剥離性を示す必要があるが、例えば、耐熱性支持基板22として、十分に表面を研磨したSUS430BA材にニッケルメッキを施したものを使用した場合、耐熱性支持基板22は金属メッキ層23に対して適度な接着性と剥離性を有しているのので特に問題がない。また、耐熱性支持基板22として、インバー合金を使用した場合には、これに金属メッキ層23としてニッケルメッキを施すと、両者は剥離できなくなる。この場合、予めインバー合金の表面を不動態化処理することによって剥離可能とすることができる。インバー合金の不動態化処理の一例としては、エコノミークリーナ（ムラタ（株）製、磷酸ソーダ12重量％、珪酸ソーダ41重量％、炭酸ソーダ42.5重量％、アニオン活性剤4.5重量％）の50g／lの水溶液中にインバー合金を浸漬して、1mA／cm<sup>2</sup>の電流密度で10分間の処理を行うことが挙げられる。また、クエン酸水溶液による陽極酸化でも不動態化処理が可能である。

【0045】保護層24は、後述するような金属メッキ層23の除去工程において電極層25をエッチング液から保護するための層であり、例えば、有機ガラス、塗布焼成法で形成するコーティングガラス、窒化ケイ素、酸化ケイ素、ポリアミド、ポリイミド等により形成することができ、厚みは1～10μm程度とすることができる。尚、金属メッキ層23の除去工程において電極層25に悪影響がない場合には、保護層24を形成しなくてもよい。

【0046】上記のドレイン電極とソース電極用の電極層25の厚みは0.1～1μm程度、コンタクト層26の厚みは0.01～0.1μm程度、半導体層27の厚みは0.1～0.5μm程度、また、ゲート絶縁層28の厚みは0.05～0.2μm程度、ゲート電極用の電

22

極層29の厚みは0.05～0.2μm程度とすることができる。

【0047】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法は、上記のような多層体21を作製した後、最上層のゲート電極用の電極層29をパターンニングして所定のパターンでゲート電極層4aを形成する（図4（B））。次に、上記の多層体21のゲート電極層4a形成側を透明基板12に透明接着層13を介して接着する（図4（C））。この透明接着層13の形成は、スピンナーコートあるいは印刷法等により行うことができる。

【0048】これ以降の工程では高温加熱プロセスはないため、機械的剥離方法により耐熱性支持基板22と金属メッキ層23の界面で剥離し、金属メッキ層23をエッチングにより除去し、さらに、保護層24を除去して、ドレイン電極とソース電極用の電極層25、コンタクト層26、半導体層27、ゲート絶縁層28およびゲート電極層4を透明基板12上に転写する（図4（D））。

【0049】上記の金属メッキ層23のエッチングによる除去は、例えば、金属メッキ層23がニッケルであるならば、塩化第2鉄水溶液を用いたウェットエッチングにより行うことができる。

【0050】次に、ドレイン電極とソース電極用の電極層25、コンタクト層26、半導体層27をパターンニングしてアイランドとし、個々の薄膜トランジスタに対応するコンタクト層7a、半導体層6aを形成する（図5（A））。さらに、ドレイン電極とソース電極用の電極層25をパターンニングしてソース電極層8aとドレイン電極層9aとを形成し（図5（B））。その後、チャネル部（ソース電極層8aとドレイン電極層9aが積層されていない領域）のコンタクト層7aを除去することにより、ゲート電極4a、ゲート絶縁層5a（28）、半導体層6a、コンタクト層7a、ソース電極層8aおよびドレイン電極層9aの平坦な各層で構成された薄膜トランジスタT1を作製する（図5（C））。次いで、ドレイン電極層9aに接続するように透明画素電極14を各薄膜トランジスタT1の間のゲート絶縁層5aの所定領域に形成してアクティブマトリックス基板11を作製する（図5（D））。

【0051】図3に示したアクティブマトリックス基板11は透過型であるため、画素電極は透明である必要があるが、反射型の場合には、画素電極は不透明であってもよい。さらに、反射型の場合には、上述の製造方法のように画素電極を薄膜トランジスタの作製と別に形成するのではなく、薄膜トランジスタの作製と同時に形成してもよい。このような本発明のアクティブマトリックス基板の製造方法を図6を参照して説明する。まず、上述の製造方法と同様にして、ドレイン電極とソース電極用の電極層25、コンタクト層26、半導体層27、ゲ

(13)

23

ト絶縁層28およびゲート電極層4を透明基板12上に転写(図4(D))した後、ドレイン電極とソース電極用の電極層25、コンタクト層26、半導体層27をパターンニングしてアイランドとし、個々の薄膜トランジスタと画素の組み合わせに対応するコンタクト層7a、半導体層6aを形成する(図6(A))。次に、ドレイン電極とソース電極用の電極層25をパターンニングしてソース電極層8aとドレイン電極層9aとを形成するが

(図6(B))、この際、ドレイン電極層9aは画素電極も兼ねるようなパターンとする。その後、チャンネル部(ソース電極層8aとドレイン電極層9aが積層されていない領域)のコンタクト層7aを除去することにより、ゲート電極4a、ゲート絶縁層5a(28)、半導体層6a、コンタクト層7a、ソース電極層8aおよびドレイン電極層9aの平坦な各層で構成された薄膜トランジスタT1を作製すると同時に、ドレイン電極層9aと一体の画素電極14を備えたアクティブマトリックス基板11が作製される(図6(C))。

【0052】図7は、本発明の薄膜トランジスタおよびその薄膜トランジスタをマトリックス状に備えたアクティブマトリックス基板の第2の実施例を示す概略断面図である。このアクティブマトリックス基板の構造は、基本的に図2示される構造と同等である。図7において、アクティブマトリックス基板31は、透明基板32と、透明基板32上に形成された透明接着層33を介してマトリックス状に形成された複数の薄膜トランジスタT2と、この薄膜トランジスタT2のドレイン電極層9bに接続するようにマトリックス状に形成された複数の透明画素電極34とを備えている。薄膜トランジスタT2は、透明接着層33の表面に平坦に形成されたゲート電極層4b、透明接着層33上に形成されたゲート絶縁層5b、このゲート絶縁層5b上に所定のパターンで形成された半導体層6bとコンタクト層7b、このコンタクト層7bを介して半導体層6bにそれぞれ接続するように形成されたソース電極層8bおよびドレイン電極層9bとで構成されている。そして、ゲート絶縁層5b、半導体層6b、コンタクト層7bは、いずれの層も段差のない平坦な形状である。また、透明画素電極34は、各薄膜トランジスタT2の間のゲート絶縁層5b上の所定領域に形成されている。

【0053】上記のアクティブマトリックス基板31を構成する透明基板32、透明接着層33および透明画素電極34は、上述のアクティブマトリックス基板11の透明基板12、透明接着層13および透明画素電極14と同様の材料により形成することができる。また、薄膜トランジスタT2を構成する各層は、上述の薄膜トランジスタT1を構成する層と同様の材料により形成することができる。

【0054】次に、図7に示されるような本発明の薄膜トランジスタT2およびアクティブマトリックス基板3

24

1の製造方法を図8および図9を参照して説明する。まず、耐熱性支持基板42上に金属メッキ層43を剥離可能に形成し、この金属メッキ層43上にコンタクト層46、半導体層47、ゲート絶縁層48およびゲート電極用の電極層49をこの順序で連続成膜して多層体41を作製する(図8(A))。この多層体41は、ドレイン電極とソース電極用の電極層が形成されていない他は上述の多層体21と同様にして作製できるので、詳しい説明は省略する。また、多層体41の作製段階における高温処理(200~350℃程度)で耐熱性支持基板42によって積層体41に変形が生じることが防止される点も同様であり、積層体41の作製は、従来のガラス基板で確立されている能動素子の製造プロセス技術および設備をそのまま使用して行うことができる。

【0055】次に、多層体41の最上層のゲート電極用の電極層49をパターンニングして所定のパターンでゲート電極層4bを形成する(図8(B))。次に、上記の多層体41のゲート電極層4b形成側を透明基板32に透明接着層33を介して接着する(図8(C))。この透明接着層33の形成は、スピンナーコートあるいは印刷法等により行うことができる。

【0056】これ以降の工程では高温加熱プロセスはないため、機械的剥離方法により耐熱性支持基板42と金属メッキ層43の界面で剥離し、金属メッキ層43をエッチングにより除去し、さらに、コンタクト層46、半導体層47、ゲート絶縁層48およびゲート電極層4bを透明基板32上に転写する(図8(D))。

【0057】上記の金属メッキ層43のエッチングによる除去は、上述の金属メッキ層23の除去と同様に行うことができる。

【0058】次に、コンタクト層46、半導体層47をパターンニングしてアイランドとし、個々の薄膜トランジスタに対応するコンタクト層7b、半導体層6bを形成する(図9(A))。その後、ソース電極層8bとドレイン電極層9bをスパッタリング等の成膜手段により所定のパターンで形成し(図9(B))、次いで、コンタクト層7bの一部を除去して、ゲート電極4b、ゲート絶縁層5b(48)、半導体層6b、コンタクト層7b、ソース電極層8bおよびドレイン電極層9bで構成された薄膜トランジスタT2を作製する(図9

(C))。この薄膜トランジスタT2では、ゲート電極4b、ゲート絶縁層5b(48)、半導体層6b、コンタクト層7bが平坦な層であり、従来の薄膜トランジスタの段差部分でのステップカバレッジは問題とはならない。但し、ソース電極層8bとドレイン電極層9bは、半導体層6bとコンタクト層7bが形成された段差部分にスパッタリング等の手段により形成されるため、上記のアクティブマトリックス基板11に比べて断線が発生する危険性があるが、仮に断線が生じても1個の薄膜トランジスタのみが不良となるだけで、従来のアクテ

(14)

25

イブマトリックス基板のようにマトリックス状に配列された薄膜トランジスタの列単位あるいは行単位で制御不能となることはない。

【0059】次いで、ドレイン電極層9bに接続するように透明画素電極34を各薄膜トランジスタT2の間のゲート絶縁層5b上の所定領域に形成してアクティブマトリックス基板31を作製する(図9(D))。

【0060】尚、図7に示したアクティブマトリックス基板31は透過型であるため、画素電極は透明である必要があるが、反射型の場合には、画素電極は不透明であってもよい。さらに、反射型の場合には、上述の製造方法におけるスパッタリング等によるドレイン電極層9bの形成時(図9(B))において、ドレイン電極層9bと同時に画素電極も一体的に形成してもよい。

【0061】図10は本発明の薄膜トランジスタおよびその薄膜トランジスタをマトリックス状に備えたアクティブマトリックス基板の第3の実施例を示す概略断面図である。このアクティブマトリックス基板の構造は、基本的に図2示される構造と同等である。図10において、アクティブマトリックス基板51は、透明基板52と、透明基板52上に形成された透明接着層53を介してマトリックス状に形成された複数の薄膜トランジスタT3と、この薄膜トランジスタT3のドレイン電極層9cに接続するようにマトリックス状に形成された複数の透明画素電極54とを備えている。薄膜トランジスタT3は、平坦な層として所定のパターンでゲート電極層4c、ゲート絶縁層5c、半導体層6c、コンタクト層7c、ソース電極層8cおよびドレイン電極層9cが積層されてなる積層部が、透明接着層53の表面側にゲート電極層4cのみが突出するように平坦に設けられて構成されている。また、透明画素電極54は、透明接着層53の表面であって各薄膜トランジスタT3の間の所定領域に形成されている。

【0062】上記のアクティブマトリックス基板51を構成する透明基板52、透明接着層53および透明画素電極54は、上述のアクティブマトリックス基板11の透明基板12、透明接着層13および透明画素電極14と同様の材料により形成することができる。また、薄膜トランジスタT3を構成する各層は、上述の薄膜トランジスタT1の構成層と同様の材料により形成することができる。

【0063】次に、図10に示されるような本発明の薄膜トランジスタT3およびアクティブマトリックス基板51の製造方法を図12および図13を参照して説明する。まず、耐熱性支持基板62上に金属メッキ層63を剥離可能に形成し、この金属メッキ層63上に保護層64を介してゲート電極用の電極層69、ゲート絶縁層68、半導体層67、コンタクト層66およびドレイン電極とソース電極用の電極層65をこの順序で連続成膜して多層体61を作製する(図12(A))。この多層体

26

61は、積層順序が異なるだけで上述の多層体21と同様に作製できるので、詳しい説明は省略する。また、多層体61の作製段階における高温処理(200～350℃程度)で耐熱性支持基板62によって積層体61に変形が生じることが防止される点も同様であり、積層体61の作製は、従来のガラス基板で確立されている能動素子の製造プロセス技術および設備をそのまま使用して行うことができる。

【0064】上述の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の2つの実施例では、多層体21、41の各層の加工を透明基板に転写後に行うが、本実施例では、透明基板への転写前に多層体61に対して加工を行う。すなわち、まず、ドレイン電極とソース電極用の電極層65、コンタクト層66、半導体層67およびゲート絶縁層68をパターニングしてアイランドとし、個々の薄膜トランジスタに対応するコンタクト層7c、半導体層6c、ゲート絶縁層5cを形成する(図12(B))。その後、ドレイン電極とソース電極用の電極層65をパターニングしてソース電極層8cとドレイン電極層9cとを形成する(図12(C))。次に、チャンネル部(ソース電極層8cとドレイン電極層9cが積層されていない領域)のコンタクト層7cを領域を除去し、各ドレイン電極層9cに接続するように透明画素電極54を各薄膜トランジスタT3の間のゲート電極用の電極層69上の所定領域に形成する(図13(A))。

【0065】次に、多層体61のソース電極層8cおよびドレイン電極層9c形成側を透明基板52に透明接着層53を介して接着する(図13(B))。この透明接着層53の形成は、スピンナーコートあるいは印刷法等により行うことができる。

【0066】これ以降の工程では高温加熱プロセスはないため、機械的剥離方法により耐熱性支持基板62と金属メッキ層63の界面で剥離し、金属メッキ層63をエッチングにより除去し、さらに、保護層64を除去して、ゲート電極用の電極層69、ゲート絶縁層5c、半導体層6c、コンタクト層7c、ソース電極層8c、ドレイン電極層9cおよび透明画素電極54を透明基板52上に転写する(図13(C))。その後、ゲート電極用の電極層69を画素領域に残存しないように所定のパターンでパターニングしてゲート電極層4cを形成することにより、ゲート電極4c、ゲート絶縁層5c、半導体層6c、コンタクト層7c、ドレイン電極層8cおよびソース電極層9cの平坦な各層で構成された薄膜トランジスタT3を備えた透過型のアクティブマトリックス基板51(図10)を作製する。

【0067】このアクティブマトリックス基板51では、薄膜トランジスタT3を構成するゲート電極4c、ゲート絶縁層5c、半導体層6c、コンタクト層7c、ソース電極層8cおよびドレイン電極層9cが上記のよ

(15)

27

うに平坦な層であり、従来の薄膜トランジスタの段差部分でのステップカバーレッジは問題とはならない。

【0068】尚、図10に示したアクティブマトリックス基板51は透過型であるため、画素電極は透明である必要があるが、反射型の場合には、画素電極は不透明であってもよい。さらに、反射型の場合には、上述の製造方法におけるゲート電極用の電極層69のパターニングにおいて、ゲート電極層4cを形成するように電極層69を除去し、図11に示されるように画素領域上に電極層69を残存させたアクティブマトリックス基板51とすることもできる。

【0069】図14は本発明の薄膜トランジスタおよびその薄膜トランジスタをマトリックス状に備えたアクティブマトリックス基板の第4の実施例を示す概略断面図である。このアクティブマトリックス基板の構造は、基本的に図2示される構造と同等である。図14において、アクティブマトリックス基板71は、透明基板72と、透明基板72上に形成された透明接着層73を介してマトリックス状に形成された複数の薄膜トランジスタT4と、この薄膜トランジスタT4のドレイン電極層9dに接続するようにマトリックス状に形成された複数の透明画素電極74とを備えている。薄膜トランジスタT4は、平坦な層として所定のパターンでゲート電極層4d、ゲート絶縁層5d、半導体層6d、コンタクト層7dが積層され、さらに、コンタクト層7dを介して半導体層6dに接続するようにソース電極層8dおよびドレイン電極層9dが積層されてなる積層部が、透明接着層73の表面側にゲート電極層4dのみが突出するように平坦に設けられて構成されている。また、透明画素電極74は、透明接着層73の表面であって各薄膜トランジスタT4の間の所定領域に形成されている。

【0070】上記のアクティブマトリックス基板71を構成する透明基板72、透明接着層73および透明画素電極74は、上述のアクティブマトリックス基板11の透明基板12、透明接着層13および透明画素電極14と同様の材料により形成することができる。また、薄膜トランジスタT4を構成する各層は、上述の薄膜トランジスタT1を構成する層と同様の材料により形成することができる。

【0071】次に、図14に示されるような本発明の薄膜トランジスタT4およびアクティブマトリックス基板71の製造方法を図15および図16を参照して説明する。まず、耐熱性支持基板82上に金属メッキ層83を剥離可能に形成し、この金属メッキ層83上に保護層84を介してゲート電極用の電極層89、ゲート絶縁層88、半導体層87およびコンタクト層86をこの順序で連続成膜して多層体81を作製する（図15（A））。この多層体81は、ドレイン電極とソース電極用の電極層が形成されていない他は上述の多層体61と同様にして作製できるので、詳しい説明は省略する。また、多層

28

体81の作製段階における高温処理（200～350℃程度）で耐熱性支持基板82によって積層体81に変形が生じることが防止される点も同様であり、積層体81の作製は、従来のガラス基板で確立されている能動素子の製造プロセス技術および設備をそのまま使用して行うことができる。

【0072】上述の多層体61と同様に、本実施例でも透明基板への転写前に多層体81に対して加工を行う。すなわち、まず、コンタクト層86、半導体層87とゲート絶縁層88をパターニングしてアイランドとし、個々の薄膜トランジスタに対応する半導体層6dとゲート絶縁層5dを形成する（図15（B））。その後、コンタクト層86に接続するように金属導電体からなるソース電極層8dとドレイン電極層9dをスパッタリング等の成膜手段により所定のパターンで形成する（図15（C））。

【0073】次に、チャネル部（ソース電極層8dとドレイン電極層9dが積層されていない領域）のコンタクト層7dを領域を除去し、各ドレイン電極層9dに接続するように透明画素電極74を各薄膜トランジスタT4の間のゲート電極用の電極層89上の所定領域に形成する（図16（A））。

【0074】次に、多層体81のソース電極層8dおよびドレイン電極層9d形成側を透明基板72に透明接着層73を介して接着する（図16（B））。この透明接着層73の形成は、スピンナーコートあるいは印刷法等により行うことができる。

【0075】これ以降の工程では高温加熱プロセスはないため、機械的剥離方法により耐熱性支持基板82と金属メッキ層83の界面で剥離し、金属メッキ層83をエッチングにより除去し、さらに、保護層84を除去して、ゲート電極用の電極層89、ゲート絶縁層5d、半導体層6d、コンタクト層7d、ソース電極層8d、ドレイン電極層9dおよび透明画素電極74を透明基板72上に転写する（図16（C））。その後、ゲート電極用の電極層89を画素領域に残存しないように所定のパターンでパターニングしてゲート電極層4dを形成することにより、ゲート電極4d、ゲート絶縁層5d、半導体層6d、コンタクト層7d、ドレイン電極層8dおよびソース電極層9dの各層で構成された薄膜トランジスタT4を備えた透過型のアクティブマトリックス基板71（図14）を作製する。

【0076】このアクティブマトリックス基板71では、薄膜トランジスタT4を構成するゲート電極4d、ゲート絶縁層5d、半導体層6d、コンタクト層7dが平坦な層であり、従来の薄膜トランジスタの段差部分でのステップカバーレッジは問題とはならない。但し、ソース電極層8dとドレイン電極層9dは、半導体層6dとコンタクト層7dが形成された段差部分にスパッタリング等の成膜手段により形成されるため、上記のアク



(16)

29

ィブマトリックス基板51に比べて断線発生の危険性があるが、仮に断線が生じても1個の薄膜トランジスタのみが不良となるだけで、従来のアクティブマトリックス基板のようにマトリックス状に配列された薄膜トランジスタの列単位あるいは行単位で制御不能となることはない。

【0077】尚、上述の製造方法における透明画素電極74の形成工程(図16(A))での透明画素電極形成を省略し、ゲート電極用の電極層89のパターニング後に透明画素電極74を形成して、透過型のアクティブマトリックス基板(図17参照)とすることもできる。

【0078】図18は、液晶ディスプレイに使用できるアクティブマトリックス基板の一部の構造を示す平面図である。図18において、アクティブマトリックス91は、図の左右方向Aに伸びるように等間隔で配置されているゲート電極層4eと、このゲート電極層4eと立体的に交差して図の上下方向Bに伸びるように等間隔で配置されているソース電極層8eとを有し、ゲート電極層4eとソース電極層8eとで囲まれたマトリックス上の各区画が画素領域となり、各画素領域には画素電極94が配設されている。上記のソース電極層8eは、各薄膜トランジスタT5の共通のソース電極であり、かつ、各画素領域において図の右方向にL字型に突出した箇所を備え、ゲート電極層4eと立体的に交差する箇所が薄膜トランジスタT5のソース電極層を形成する。一方、各画素電極94の左上部分は、図の上方向にゲート電極層4eと立体的に交差するように突出した箇所を備え、この箇所が薄膜トランジスタT5のドレイン電極層を形成する。

【0079】図19は、図18に示される薄膜トランジスタT5を使用した本発明のアクティブマトリックス基板の第5の実施例を示すものであり、図18のX-X切断線における概略断面図であり、図20は同じくY-Y切断線における概略断面図である。図19および図20において、アクティブマトリックス基板91は反射型のアクティブマトリックス基板であり、透明基板92と、透明基板92上に形成された透明接着層93を介して形成された、いわゆる2S-TFT構造の薄膜トランジスタT5と、この薄膜トランジスタT5のドレイン電極層9eと一体的に形成された画素電極94とを備えている。薄膜トランジスタT5は、平坦な層として、所定のパターンでゲート電極層4e、ゲート絶縁層5e、このゲート絶縁層5e上に所定のパターンで半導体層6e、コンタクト層7e、ソース電極層8eおよびドレイン電極層9eが積層されて構成されている。

【0080】次に、図19、図20に示されるような本発明の薄膜トランジスタT5およびアクティブマトリックス基板91の製造方法を図21および図22を参照して説明する。尚、図21および図22は本発明による薄膜トランジスタT5を備えたアクティブマトリックス基

30

板91の製造方法の一例を説明するための工程図であり、図21は図19に、また図22は図20にそれぞれ対応している。まず、耐熱性支持基板102上に金属メッキ層103を剥離可能に形成し、この金属メッキ層103上に保護層104を介してドレイン電極とソース電極用の電極層105、コンタクト層106、半導体層107、ゲート絶縁層108およびゲート電極用の電極層109をこの順序で連続成膜して多層体101を作製する(図21(A)、図22(A))。この多層体101は、上述の多層体21と同様にして作製できるので、詳しい説明は省略する。また、多層体101の作製段階における高温処理(200~350℃程度)で耐熱性支持基板102によって積層体101に変形が生じることが防止される点も同様であり、この積層体101の作製は、従来のガラス基板で確立されている能動素子の製造プロセス技術および設備をそのまま使用して行うことができる。

【0081】次に、多層体101の最上層のゲート電極用の電極層109をパターニングして所定のパターンでゲート電極層4eを形成し、次に、上記の多層体101のゲート電極層4e形成側を透明基板92に透明接着層93を介して接着する(図21(B)、図22

(B))。尚、これ以降の工程では高温加熱プロセスはないため、この段階で機械的剥離方法により耐熱性支持基板102と金属メッキ層103の界面で剥離し、金属メッキ層103をエッチングにより除去し、さらに、保護層104を除去して、ドレイン電極とソース電極用の電極層105、コンタクト層106、半導体層107、ゲート絶縁層108およびゲート電極層4eのみを透明基板92上に転写する。

【0082】次に、ドレイン電極とソース電極用の電極層105、コンタクト層106、半導体層107をパターニングしてアイランドとし、個々の薄膜トランジスタに対応する半導体層6eとコンタクト層7eを形成する(図21(C)、図22(C))。その後、ドレイン電極とソース電極用の電極層105をパターニングしてソース電極層8eとドレイン電極層9eを同一平面上に形成する(図21(D)、図22(D))。この場合、ドレイン電極層9eは2つのソース電極層8eの間に位置して、いわゆる2S-TFT構造を構成し、かつ、ドレイン電極層9eと一体的に画素電極94が形成される。次いで、チャネル部のコンタクト層7eを除去して、ゲート電極4e、ゲート絶縁層5e(108)、半導体層6e、コンタクト層7e、ソース電極層8eおよびドレイン電極層9eで構成された薄膜トランジスタT5を備えたアクティブマトリックス基板91(図19、図20)を作製する。この薄膜トランジスタT5では、ゲート電極4e、ゲート絶縁層5e(108)、半導体層6e、コンタクト層7e、ソース電極層8eおよびドレイン電極層9eが平坦な層であり、従来の薄膜トランジ



(17)

31

タの段差部分でのステップカバーレッジは問題とはならない。また、ソース電極8eが2か所存在するため、ドレイン電極層9eの両側にチャネルが形成されることになる。

【0083】図23および図24は、本発明の薄膜トランジスタおよびその薄膜トランジスタをマトリックス状に備えたアクティブマトリックス基板の第6の実施例を示す概略断面図である。このアクティブマトリックス基板の構造は、基本的に図18示される構造と同等であり、図23は、図18に示される本発明のアクティブマトリックス基板のX-X切断線における概略断面図、図24は同じくY-Y切断線における概略断面図に相当する。図23および図24において、アクティブマトリックス基板111は、透明基板112と、透明基板112上に形成された透明接着層113を介して形成された、いわゆる2S-TFT構造の薄膜トランジスタT6と、この薄膜トランジスタT6のドレイン電極層9fに一体的に形成された画素電極114とを備えている。薄膜トランジスタT6は、平坦な層として、所定のパターンでゲート電極層4f、ゲート絶縁層5f、半導体層6f、コンタクト層7f、ソース電極層8fおよびドレイン電極層9fが積層されてなる積層層が、透明接着層113のゲート電極層4f側が突出するように設けられて構成されている。また、画素電極114は、透明接着層113の表面であって各薄膜トランジスタT6の間の所定領域に形成されている。

【0084】上記のアクティブマトリックス基板111を構成する透明基板112、透明接着層113および画素電極114は、上述のアクティブマトリックス基板11の透明基板12、透明接着層13および透明画素電極14と同様の材料により形成することができる。また、薄膜トランジスタT6を構成する各層は、上述の薄膜トランジスタT1の構成層と同様の材料により形成することができる。

【0085】次に、図23、図24に示されるような本発明の薄膜トランジスタT6およびアクティブマトリックス基板111の製造方法を図25および図26を参照して説明する。尚、図25および図26は本発明による薄膜トランジスタT6を備えたアクティブマトリックス基板111の製造方法の一例を説明するための工程図であり、図25は図23に、また図26は図24にそれぞれ対応している。まず、耐熱性支持基板122上に金属メッキ層123を剥離可能に形成し、この金属メッキ層123上に保護層124を介してゲート電極用の電極層129、ゲート絶縁層128、半導体層127、コンタクト層126およびドレイン電極とソース電極用の電極層125をこの順序で連続成膜して多層体121を作製する(図25(A)、図26(A))。この多層体121は、積層順序が異なるだけで上述の多層体21と同様にして作製できるので、詳しい説明は省略する。また、

32

多層体121の作製段階における高温処理(200~350℃程度)で耐熱性支持基板122によって積層体121に変形が生じることが防止される点も同様であり、積層体121の作製は、従来のガラス基板で確立されている能動素子の製造プロセス技術および設備をそのまま使用して行うことができる。

【0086】次に、透明基板への転写前に多層体121に対して加工を行う。すなわち、まず、ドレイン電極とソース電極用の電極層125、コンタクト層66をパターンニングしてアイランドとし、個々の薄膜トランジスタに対応するソース電極層8fとドレイン電極層9fおよびコンタクト層7fを形成する(図25(B)、図26(B))。この場合、ドレイン電極層9fは2つのソース電極層8fの間に位置して、いわゆる2S-TFT構造を構成し、かつ、ドレイン電極層9fと一体的に画素電極114が形成される。

【0087】次に、多層体121のソース電極層8fおよびドレイン電極層9f形成側を透明基板112に透明接着層113を介して接着する(図25(C)、図26(C))。この透明接着層113の形成は、スピナーコートあるいは印刷法等により行うことができる。尚、これ以降の工程では高温加熱プロセスはないため、この段階で機械的剥離方法により耐熱性支持基板122と金属メッキ層123の界面で剥離し、金属メッキ層123をエッチングにより除去し、さらに、保護層124を除去して、ゲート電極用の電極層129、ゲート絶縁層128、半導体層127、コンタクト層7f、ソース電極層8fおよびドレイン電極層9fのみを透明基板112上に転写する。

【0088】その後、ゲート電極用の電極層129を画素領域に残存しないように所定のパターンでパターンニングしてゲート電極層4fを形成する(図25(D)、図26(D))。次いで、ゲート絶縁層128、半導体層127、コンタクト層7fを所定のパターンでドライエッチングしてゲート電極4f、ゲート絶縁層5f(128)、半導体層6f、コンタクト層7f、ソース電極層8fおよびドレイン電極層9fで構成された薄膜トランジスタT6を備えたアクティブマトリックス基板111(図23、図24)を作製する。この薄膜トランジスタT6では、ゲート電極4f、ゲート絶縁層5f(128)、半導体層6f、コンタクト層7f、ソース電極層8fおよびドレイン電極層9fが平坦な層であり、従来の薄膜トランジスタの段差部分でのステップカバーレッジは問題とはならない。また、ソース電極8fが2か所存在するため、ドレイン電極層9fの両側にチャネルが形成されることになる。このアクティブマトリックス基板111は、ドレイン電極とソース電極用の電極層125をITO等の透明導電物質で形成することにより、透過型のアクティブマトリックス基板となり、ドレイン電極とソース電極用の電極層125をクロム等の金属導電

(18)

33

物質で形成することにより、反射型のアクティブマトリックス基板となる。

【0089】上述のアクティブマトリックス基板の実施例はいずれもドレイン電極層に画素電極が接続されたものであるが、ソース電極層に接続するように画素電極を形成したものであってもよい。

【0090】また、本発明の薄膜トランジスタは、その表面に保護膜を備えるものであってもよい。また、本発明のアクティブマトリックス基板は、画素電極を除く領域の表面、例えば、構成する薄膜トランジスタの表面に保護膜を備えるものであってもよい。アクティブマトリックス基板では、ドレイン電極層やソース電極層と画素電極、あるいは、ゲート電極層と画素電極とは同一膜面上に存在し、この上には液晶層等が形成されるが、上記のように保護膜を備えることによって、各電極間の絶縁をより確実なものとすることができる。

【0091】このような保護膜は、酸化ケイ素を主成分とする有機ガラス、塗布・焼成法で形成する酸化ケイ素を主成分とする被膜、蒸着法、スパッタリング法、CVD法等で形成される窒化ケイ素や酸化ケイ素、透明耐熱性高分子であるポリイミド、ポリアミドイミド、ガラス、セラミック前駆体ポリマー等により形成することができ、特に半導体電気特性の点から、CVD法で形成する窒化ケイ素 ( $\text{SiN}_x$ ) が好ましい。また、保護膜の厚みは0.1~0.5  $\mu\text{m}$ 程度が好ましい。

【0092】次に、より具体的な実施例を示して本発明を更に詳細に説明する。

\*

#### 透明接着剤の組成

・接着剤 (日本カーバイド工業 (株) 製ニッセツPE-121)

… 100重量部

・架橋剤 (CK-101)

… 3重量部

・トルエン

… 300重量部

この透明基板の透明接着層上に上記の多層体のゲート電極層形成側が当接するように圧着し、耐熱性支持基板を剥離した。さらに、塩化第2鉄水溶液を用いたウェットエッチングによりNiメッキ層を除去し、その後、 $\text{SF}_6$ 、 $\text{CF}_6$ 等のガスを用いたドライエッチングにより保護層を除去して、ドレイン電極とソース電極用のCr電極層、 $n^+a\text{-Si:H}$ 層、 $a\text{-Si}$ 層、 $\text{SiN}_x$ 層およびゲート電極層を透明基板上に転写した (図4 (D) に対応)。

【0095】その後、ドレイン電極とソース電極用のCr電極層、 $n^+a\text{-Si:H}$ 層および $a\text{-Si}$ 層のパターニングによるアイランド形成 (図5 (A) に対応) を行った後、ドレイン電極とソース電極用のCr電極層のパターニングによりCrソース電極層とCrドレイン電極層を形成した (図5 (B) に対応)。さらに、 $n^+a\text{-Si:H}$ 層のパターニング (図5 (C) に対応) を行った後、Crドレイン電極層に接続するようにITO膜で透明画素電極を形成して図3に示されるようなアクテ

34

\* (実施例1) 厚さ1mmのガラス基板に金属Ti層 (厚さ1  $\mu\text{m}$ ) をスパッタリング法により形成して耐熱性支持基板とした。この耐熱性支持基板の金属Ti層上に電気メッキ法によりNiメッキ層 (厚さ3  $\mu\text{m}$ ) を形成し、さらに、Niメッキ層上に常温ガラスコーティング剤GA-1 (ファインガラス・テクノロジー社製) を塗布して保護層 (厚さ1  $\mu\text{m}$ ) を形成した。次に、この保護層上にドレイン電極とソース電極用のCr電極層 (厚み0.2  $\mu\text{m}$ )、 $n^+a\text{-Si:H}$  (コンタクト) 層 (厚み0.05  $\mu\text{m}$ )、アモルファスシリコン ( $a\text{-Si}$ ) 層 (厚み0.2  $\mu\text{m}$ )、 $\text{SiN}_x$  (ゲート絶縁) 層 (厚み0.3  $\mu\text{m}$ ) およびゲート電極用のCr電極層 (厚み0.2  $\mu\text{m}$ ) をこの順序で連続成膜して多層体を作製した (図4 (A) に対応)。この多層体の作製段階においては、 $n^+a\text{-Si:H}$ 層形成時に230℃で10分間、 $a\text{-Si}$ 層形成時に250℃で40分間、 $\text{SiN}_x$ 層形成時に350℃で20分間、それぞれプラズマCVDによる高温処理がなされた。次に、この多層体の最上層のゲート電極用のCr電極層をパターニングして所定パターンのゲート電極層を形成した。

【0093】一方、透明基板としてポリカーボネート (帝人化学 (株) 製 厚さ400  $\mu\text{m}$ ) を準備し、この透明基板上にスピナー塗布 (3000rpm、30秒間) によって下記の組成の透明接着剤を塗布して厚み約5  $\mu\text{m}$ の透明接着層を形成した。

【0094】

イブマトリックス基板を作製した。この後、蒸着法により $\text{SiO}_x$ 膜 (厚さ0.1  $\mu\text{m}$ ) を成膜し、画素電極上のみエッチングにより $\text{SiO}_x$ 膜を除去した。

【0096】一方、透明基板としてポリカーボネート (帝人化学 (株) 製 厚さ400  $\mu\text{m}$ ) を用い、この透明基板上に公知の顔料分散法や染色法、電着、印刷法等によりR、G、Bの着色層 (厚さ3  $\mu\text{m}$ ) を上記の画素電極に対応するように形成してカラーフィルタ層とした。さらに、定法に従って厚さ1000Åの透明導電膜 (ITO) を形成してカラーフィルタ基板を作製した。

【0097】次に、上記のアクティブマトリックス基板上と、上記のカラーフィルタ基板の透明導電膜上に、それぞれ配向膜用塗布液 (配向剤AL-3046 (日本合成ゴム (株) 製) と希釈剤ACT-608 (日本合成ゴム (株) 製) とを5:3の割合で混合したもの) をスピナー塗布 (3000rpm、30秒間) によって塗布して厚み約800Åの配向膜を形成し、その後、ロール回転速度200rpm、ステージ速度10mm/秒の条

(19)

35

件でラビング処理を行った。

【0098】次に、上記の配向処理を施したアクティブマトリックス基板にシール剤でシール層を形成した。シール層形成は、シール剤（四国化成（株）製DSK-7211-4）1gに対して平均粒径6 $\mu$ mのスペーサ（日本電気硝子（株）製PF-60）20mgを混合させたものを使用し、ディスペンサー装置により形成した。

【0099】また、上記の配向処理を施したカラーフィルタ基板には、スペーサ層を塗布形成した。このスペーサ層は、平均粒径6 $\mu$ mの粘着性スペーサ（ナトコ社製XC-610）を希釈液（IPA：水＝1：1）で希釈したスペーサ希釈液（濃度0.2重量%）をスピナー塗布（2000rpm、30秒間）して、粒子密度150～200個/mm<sup>2</sup>となるように形成した。

【0100】このようなアクティブマトリックス基板とカラーフィルタ基板を、従来のガラス基板で確立されているパネルセル組み立て製造プロセスを使用して、透明電気絶縁層側と透明導電膜側とが対向するように配設した。配設方法としては、圧着治具を用いて圧着圧力4kg/cm<sup>2</sup>、熱処理120℃、1時間の条件で圧着、硬化を行った。その後、間隙部にツイストネマティック液晶LDP-5034LA（チツソ社製）を注入し封止剤で密封して液晶層を形成してフィルム液晶パネルを作製した。このフィルム液晶パネルの厚さは2mmであった。

【0101】このフィルム液晶パネルを用いてパネル両面に偏光フィルムを貼りつけた透過型アクティブマトリックス形表示のカラー液晶ディスプレイ（厚さ2mm）を作製した。このカラー液晶ディスプレイに駆動回路を接続し表示を行ったところ、従来のガラス基板を用いて作製したカラー液晶ディスプレイと同等の極めて表示品質の高い液晶表示装置であった。また、薄膜トランジスタの特性変化や各種配線ラインの断線、短絡は認められなかった。

（実施例2）厚さ1mmのSUS430BA板の表面を電解複合研磨により鏡面研磨（研磨グレード＝R<sub>max</sub> 値0.10 $\mu$ m）して耐熱性支持基板とした。この耐熱性支持基板上に電気メッキ法によりNiメッキ層（厚さ3 $\mu$ m）を形成した。次に、このNiメッキ層上にn<sup>+</sup>a-Si：H層（厚み0.05 $\mu$ m）、a-Si層（厚み0.2 $\mu$ m）、SiN<sub>x</sub>層（厚み0.3 $\mu$ m）およびゲート電極用のCr電極層（厚み0.2 $\mu$ m）をこの順序で連続成膜して多層体を作製した（図8（A）に対応）。この多層体の作製段階においては、n<sup>+</sup>a-Si：H層形成時に300℃で10分間、a-Si層形成時に300℃で40分間、SiN<sub>x</sub>層形成時に300℃で20分間、それぞれプラズマCVDによる高温処理がなされた。次に、この多層体の最上層のゲート電極用のCr電極層をパターニングして所定パターンのゲート電

36

極層を形成した。尚、実施例1と異なり、本実施例ではNiメッキ層上に保護層の形成を行わなかった。これは、後工程でNiメッキ層を除去する際に、n<sup>+</sup>a-Si：H層に比べてNiメッキ層のエッチングレートがはるかに大きいため、n<sup>+</sup>a-Si：H層と選択エッチングが可能となるからである。

【0102】一方、透明基板としてポリカーボネート（帝人化学（株）製 厚さ400 $\mu$ m）を準備し、この透明基板上にスピナー塗布（3000rpm、30秒間）によって紫外線硬化型透明接着剤（商品名：ワールドロック No. XVL-01M）を塗布し、下記条件で紫外線を照射して厚み約5 $\mu$ mの透明接着層を形成した。

【0103】紫外線照射条件

- ・コンベア型紫外線照射装置使用
- ・紫外線照度： 300mW/cm<sup>2</sup>
- ・照射時間： 10秒
- ・照射量： 300mJ/cm<sup>2</sup>

この透明基板の透明接着層上に上記の多層体のゲート電極層形成側が当接するように圧着し、耐熱性支持基板を剥離した。さらに、塩化第2鉄水溶液を用いたウェットエッチングによりNiメッキ層を除去して、n<sup>+</sup>a-Si：H層、a-Si層、SiN<sub>x</sub>層およびゲート電極層を透明基板上に転写した（図8（D）に対応）。

【0104】その後、n<sup>+</sup>a-Si：H層とa-Si層のパターニングによるアイランド形成（図9（A）に対応）を行った後、n<sup>+</sup>a-Si：H層を介してa-Si層に接続するようにスパッタリング法によりCrドレイン電極層とCrソース電極層（厚み0.2 $\mu$ m）を形成した（図9（B）に対応）。さらに、チャンネル部のn<sup>+</sup>a-Si：H層をドライエッチング法により除去した（図9（C）に対応）。次いで、Crドレイン電極層に接続するようにITO膜で透明画素電極を形成して図7に示されるようなアクティブマトリックス基板を作製した。

【0105】つぎに、このようにして作製したアクティブマトリックス基板を用いて実施例1と同様にしてフィルム液晶パネル（厚み2mm）を作製した。

【0106】このフィルム液晶パネルを用いてパネル両面に偏光フィルムを貼りつけた透過型アクティブマトリックス形表示のカラー液晶ディスプレイ（厚さ2mm）を作製した。このカラー液晶ディスプレイに駆動回路を接続し表示を行ったところ、従来のガラス基板を用いて作製したカラー液晶ディスプレイと同等の極めて表示品質の高い液晶表示装置であった。また、薄膜トランジスタの特性変化や各種配線ラインの断線、短絡は認められなかった。

（実施例3）厚さ1mmのインバー合金（Ni/Fe＝36/64）板の表面を電解複合研磨により鏡面研磨（研磨グレード＝R<sub>max</sub> 値0.10 $\mu$ m）して耐熱性支持基板とした。さらに、この耐熱性支持基板をエコノミ

(20)

37

ークリーナ（ムラタ（株）製磷酸ソーダ12重量%、珪酸ソーダ41重量%、炭酸ソーダ42.5重量%、アニオン活性剤4.5重量%）の50g/lの水溶液に浸漬し、 $1\text{mA}/\text{cm}^2$ の電流密度で10分間の不動態化処理を施した。

【0107】上記の耐熱性支持基板上に電気メッキ法によりNi-Feメッキ層（厚さ $3\mu\text{m}$ ）を形成し、さらに、Ni-Feメッキ層上にプラズマCVD法により $\text{SiN}_x$ からなる保護層（厚さ $1\mu\text{m}$ ）を形成した。次に、この保護層上にゲート電極用のCr電極層（厚み $0.2\mu\text{m}$ ）、 $\text{SiN}_x$ 層（厚み $0.3\mu\text{m}$ ）、a-Si層（厚み $0.2\mu\text{m}$ ）、 $n^+ \text{a-Si:H}$ 層（厚み $0.05\mu\text{m}$ ）およびドレイン電極とソース電極用のCr電極層（厚み $0.2\mu\text{m}$ ）をこの順序で連続成膜して多層体を作製した（図12（A）に対応）。この多層体の作製段階においては、 $\text{SiN}_x$ 層形成時に $350^\circ\text{C}$ で20分間、a-Si層形成時に $250^\circ\text{C}$ で40分間、 $n^+ \text{a-Si:H}$ 層形成時に $230^\circ\text{C}$ で10分間、それぞれプラズマCVDによる高温処理がなされた。

【0108】次に、この多層体のドレイン電極とソース電極用のCr電極層、 $n^+ \text{a-Si:H}$ 層、a-Si層および $\text{SiN}_x$ 層のパターニングによるアイランド形成（図12（B）に対応）を行い、その後ドレイン電極とソース電極用のCr電極層をパターニングしてCrソース電極層とCrドレイン電極層を形成した（図12（C）に対応）。次いで、チャネル部の $n^+ \text{a-Si:H}$ 層をドライエッチング法により除去し、さらに、ドレイン電極層に接続するようにITO膜で透明画素電極を形成（図13（A）に対応）した。

【0109】一方、透明基板としてポリカーボネート（帝人化学（株）製 厚さ $400\mu\text{m}$ ）を準備し、この透明基板上にスピナー塗布（ $3000\text{rpm}$ 、30秒間）によって紫外線硬化型透明接着剤（ケミテック（株）製 ケミシールU-471）を塗布し、下記条件で紫外線を照射して厚み約 $5\mu\text{m}$ の透明接着層を形成した。

#### 【0110】紫外線照射条件

- ・コンベア型紫外線照射装置使用
- ・紫外線照度：  $200\text{mW}/\text{cm}^2$
- ・照射時間： 10秒
- ・照射量：  $2000\text{mJ}/\text{cm}^2$

この透明基板の透明接着層上に上記の積層体のドレイン電極層とソース電極層形成側が当接するように圧着し、耐熱性支持基板を剥離した。さらに、塩化第2鉄水溶液を用いたウェットエッチングによりNi-Feメッキ層を除去し、その後、 $\text{SF}_6$ 、 $\text{CF}_6$ 等のガスを用いたドライエッチングにより保護層を除去して、ドレイン電極層、ソース電極層、 $n^+ \text{a-Si:H}$ 層、a-Si層、 $\text{SiN}_x$ 層、ゲート電極用のCr電極層およびITO透明画素電極を透明基板上に転写した（図13（C）に対

38

応）。次いで、ゲート電極用のCr電極層を画素領域に残存しないように所定のパターンでパターニングして図10に示されるようなアクティブマトリックス基板を作製した。

【0111】次に、KP-06（日本合成化学工業（株）製、重合度：約600、けん化度：71~75）の5重量%水溶液に、E-44（メルクジャパン社製）を超音波分散した後、KH-17（日本合成化学工業（株）製、重合度：約1700、けん化度：78.5~81.5）の10重量%水溶液を添加して、最終的にPVA：液晶＝20：80（重量比）となるように液晶のPVA分散水溶液を作製して高分子分散型液晶とした。

【0112】次に、この高分子分散型液晶を上記のアクティブマトリックス基板の薄膜トランジスタ形成側にブレードコータを用いて塗布し、 $40^\circ\text{C}$ 、1時間の熱処理を施して乾燥させ、膜厚 $10\mu\text{m}$ の高分子分散型液晶層を形成した。

【0113】一方、透明基板としてポリカーボネート（帝人化学（株）製 厚さ $400\mu\text{m}$ ）を用い、この透明基板上に定法に従って厚さ $1000\text{\AA}$ の透明導電膜（ITO）を形成した。さらに、この透明導電膜上に、実施例1と同様の透明接着剤をスピナー塗布（ $3000\text{rpm}$ 、30秒間）によって塗布して厚み約 $2\mu\text{m}$ の透明接着層を形成して対向基板を作製した。

【0114】このようなアクティブマトリックス基板と対向基板を、実施例1と同様にして高分子分散型液晶層側と透明接着層側とが対向するように配設してアクティブマトリックス形表示の高分子分散型液晶ディスプレイ（厚さ $3\text{mm}$ ）を作製した。配設方法としては、圧着治具を用いて圧着圧力 $4\text{kg}/\text{cm}^2$ 、熱処理 $40^\circ\text{C}$ 、1時間の条件で圧着、硬化を行った。

【0115】この液晶ディスプレイに駆動回路を接続し表示を行ったところ、極めて表示品質の高い液晶表示装置であった。また、薄膜トランジスタの特性変化や各種配線ラインの断線、短絡は認められなかった。

（実施例4）厚さ $1\text{mm}$ のガラス基板に金属Cr層（厚さ $1\mu\text{m}$ ）をスパッタリング法により形成して耐熱性支持基板とした。この耐熱性支持基板の金属Cr層上に電気メッキ法によりNiメッキ層（厚さ $3\mu\text{m}$ ）を形成し、さらに、Niメッキ層上に $\text{SiO}_2$ 系被膜形成用塗布液（東京応化工業（株）製OCD Type-7）を塗布して $400^\circ\text{C}$ 、30分間の熱処理を施して保護層（厚さ $0.5\mu\text{m}$ ）を形成した。次に、この保護層上にゲート電極用のCr電極層（厚み $0.2\mu\text{m}$ ）、 $\text{SiN}_x$ 層（厚み $0.3\mu\text{m}$ ）、a-Si層（厚み $0.2\mu\text{m}$ ）および $n^+ \text{a-Si:H}$ 層（厚み $0.05\mu\text{m}$ ）をこの順序で連続成膜して多層体を作製した（図15（A）に対応）。この多層体の作製段階においては、 $n^+ \text{a-Si:H}$ 層形成時に $230^\circ\text{C}$ で10分間、a-Si層形成時に $250^\circ\text{C}$ で40分間、 $\text{SiN}_x$ 層形成時に $350^\circ\text{C}$

(21)

39

で20分間、それぞれプラズマCVDによる高温処理がなされた。

【0116】次に、この多層体の $n^+ a-Si:H$ 層、 $a-Si$ 層および $SiN_x$ 層のパターニングによるアイランド形成(図15(B)に対応)を行い、さらに、 $n^+ a-Si:H$ 層を介して $a-Si$ 層に接続するようにスパッタリング法によりCrドレイン電極層とCrソース電極層(厚み $0.2\mu m$ )を形成した(図15(C)に対応)。次いで、チャンネル部の $n^+ a-Si:H$ 層をドライエッチングにより除去し、その後、Crドレイン電極層に接続するようにITO膜で透明画素電極を形成(図16(A)に対応)した。

【0117】一方、透明基板としてポリカーボネート(帝人化学(株)製 厚さ $400\mu m$ )を準備し、この透明基板上に実施例2と同様にして厚み約 $5\mu m$ の透明接着層を形成した。

【0118】この透明基板の透明接着層上に上記の積層体のドレイン電極層とソース電極層形成側が当接するように圧着し、耐熱性支持基板を剥離した。さらに、塩化第2鉄水溶液を用いたウェットエッチングによりNiメッキ層を除去し、その後、保護層をドライエッチング( $SF_6 : C_2ClF_5 = 50 : 50$ )で除去して、ドレイン電極層、ソース電極層、 $n^+ a-Si:H$ 層、 $a-Si$ 層、 $SiN_x$ 層、ゲート電極用のCr電極層およびITO透明画素電極を透明基板上に転写した(図16(C)に対応)。次いで、ゲート電極用のCr電極層を画素領域に残存しないように所定のパターンでパターニングして図14に示されるようなアクティブマトリクス基板を作製した。

【0119】次に、TL205(メルクジャパン社製の液晶)とPN393(メルクジャパン社製のプレポリマーと光開始剤の混合物)を8:2(重量比)の割合で混合し高分子分散型液晶とした。

【0120】一方、透明基板としてポリカーボネート(帝人化学(株)製 厚さ $400\mu m$ )を用い、この透明基板上に定法に従って厚さ $1000\text{\AA}$ の透明導電膜(ITO)を形成して対向基板を作製した。

【0121】次に、上記の高分子分散型液晶を上記のアクティブマトリクス基板の薄膜トランジスタ形成側にブレードコートを用いて塗布(厚み約 $10\mu m$ )し、この塗布面に上記の対向基板を貼り合わせ、下記の条件で紫外線を照射してアクティブマトリクス形表示の高分子分散型液晶ディスプレイ(厚さ $3mm$ )を作製した。

#### 【0122】紫外線照射条件

- ・紫外線照度:  $10mW/cm^2$
- ・照射時間: 2分
- ・照射量:  $1200mJ/cm^2$

この液晶ディスプレイに駆動回路を接続し表示を行ったところ、極めて表示品質の高い液晶表示装置であった。また、薄膜トランジスタの特性変化や各種配線ラインの

40

断線、短絡は認められなかった。

(実施例5) 実施例3と同様にして厚さ $0.3mm$ のUS304BA板上の表面を電解複合研磨により鏡面研磨(研磨グレード=Rmax 値 $0.03\mu m$ )して耐熱性支持基板とした。この耐熱性支持基板上に電気メッキ法によりNiメッキ層(厚さ $3\mu m$ )を形成し、さらに、Niメッキ層上にプラズマCVD法により $SiN_x$ からなる保護層(厚さ $1\mu m$ )を形成した。

【0123】次に、この保護層上にドレイン電極とソース電極用のCr電極層(厚み $0.2\mu m$ )、 $n^+ a-Si:H$ 層(厚み $0.05\mu m$ )、 $a-Si$ 層(厚み $0.2\mu m$ )、 $SiN_x$ 層(厚み $0.3\mu m$ )およびゲート電極用のCr電極層(厚み $0.2\mu m$ )をこの順序で連続成膜して多層体を作製した(図21、図22(A)に対応)。この多層体の作製段階においては、 $n^+ a-Si:H$ 層形成時に $230^\circ C$ で10分間、 $a-Si$ 層形成時に $250^\circ C$ で40分間、 $SiN_x$ 層形成時に $350^\circ C$ で20分間、それぞれプラズマCVDによる高温処理がなされた。次に、この多層体の最上層のゲート電極用のCr電極層をパターニングして所定パターンのゲート電極層を形成した。

【0124】一方、透明基板としてポリカーボネート(帝人化学(株)製 厚さ $400\mu m$ )を準備し、この透明基板上に実施例3と同様にして厚み約 $5\mu m$ の透明接着層を形成した。

【0125】この透明基板の透明接着層上に上記の多層体のゲート電極層形成側が当接するように圧着し、耐熱性支持基板を剥離した。さらに、塩化第2鉄水溶液を用いたウェットエッチングによりNiメッキ層を除去し、その後、 $SF_6$ 、 $CF_6$ 等のガスを用いたドライエッチングにより保護層を除去して、ドレイン電極とソース電極用のCr電極層、 $n^+ a-Si:H$ 層、 $a-Si$ 層、 $SiN_x$ 層およびゲート電極層を透明基板上に転写した(図21、図22(B)に対応)。

【0126】その後、ドレイン電極とソース電極用のCr電極層、 $n^+ a-Si:H$ 層および $a-Si$ 層のパターニングによるアイランド形成(図21、図22(C)に対応)を行った後、ドレイン電極とソース電極用のCr電極層のパターニングによりCrソース電極層とCrドレイン電極層を形成した(図21、図22(D)に対応)。この場合、Crドレイン電極層は2つのCrソース電極層の間に位置し、かつ、Crドレイン電極層と一体的に画素電極が形成された。さらに、チャンネル部の $n^+ a-Si:H$ 層をドライエッチングにより除去して図19、図20に示されるような反射型のアクティブマトリクス基板を作製した。

【0127】次に、このようにして作製したアクティブマトリクス基板を用いて実施例4と同様にしてアクティブマトリクス形表示の高分子分散型液晶ディスプレイ(厚さ $3mm$ )を作製した。

(22)

41

【0128】この液晶ディスプレイに駆動回路を接続し表示を行ったところ、極めて表示品質の高い液晶表示装置であった。また、薄膜トランジスタの特性変化や各種配線ラインの断線、短絡は認められなかった。

(実施例6) 実施例3と同様にして厚さ0.3mmのUS304BA板上の表面を電解複合研磨により鏡面研磨(研磨グレード=  $R_{max}$  値0.03  $\mu\text{m}$ )して耐熱性支持基板とした。この耐熱性支持基板上に電気メッキ法によりNiメッキ層(厚さ3  $\mu\text{m}$ )を形成し、さらに、Niメッキ層上にプラズマCVD法により $\text{SiN}_x$ からなる保護層(厚さ1  $\mu\text{m}$ )を形成した。

【0129】次に、この保護層上にゲート電極用のCr電極層(厚み0.2  $\mu\text{m}$ )、 $\text{SiN}_x$ 層(厚み0.3  $\mu\text{m}$ )、a-Si層(厚み0.2  $\mu\text{m}$ )、 $n^+$ a-Si:H層(厚み0.05  $\mu\text{m}$ )およびドレイン電極とソース電極用のCr電極層(厚み0.2  $\mu\text{m}$ )をこの順序で連続成膜して多層体を作製した(図25、図26(A)に対応)。この多層体の作製段階においては、 $\text{SiN}_x$ 層形成時に350℃で20分間、a-Si層形成時に250℃で40分間、 $n^+$ a-Si:H層形成時に230℃で10分間、それぞれプラズマCVDによる高温処理がなされた。

【0130】次に、この多層体のドレイン電極とソース電極用のCr電極層および $n^+$ a-Si:H層のパターニングによるアイランド形成を行い、Crソース電極層とCrドレイン電極層を形成した(図25、図26

(B)に対応)。この場合、Crドレイン電極層は2つのCrソース電極層の間に位置し、かつ、Crドレイン電極層と一体的に画素電極が形成された。

【0131】一方、透明基板としてポリカーボネート(帝人化学(株)製 厚さ400  $\mu\text{m}$ )を準備し、この透明基板上に実施例3と同様にして厚み約5  $\mu\text{m}$ の透明接着層を形成した。

【0132】この透明基板の透明接着層上に上記の積層体のCrソース電極層とCrドレイン電極層形成側が当接するように圧着し、耐熱性支持基板を剥離した。さらに、塩化第2鉄水溶液を用いたウェットエッチングによりNiメッキ層を除去し、その後、 $\text{SF}_6$ 、 $\text{CF}_6$ 等のガスを用いたドライエッチングにより保護層を除去して、ドレイン電極層、ソース電極層、 $n^+$ a-Si:H層、a-Si層、 $\text{SiN}_x$ 層、ゲート電極用のCr電極層を透明基板上に転写した(図25、図26(C)に対応)。

【0133】次に、ゲート電極用のCr電極層をパターニングして所定パターンのゲート電極層を形成し(図25、図26(D)に対応)、さらに、 $n^+$ a-Si:H層、a-Si層および $\text{SiN}_x$ 層をパターニングして図23、図24に示されるような反射型のアクティブマトリックス基板を作製した。

【0134】次に、このようにして作製したアクティブ

42

マトリックス基板を用いて実施例4と同様にしてアクティブマトリックス形表示の高分子分散型液晶ディスプレイ(厚さ3mm)を作製した。

【0135】この液晶ディスプレイに駆動回路を接続し表示を行ったところ、極めて表示品質の高い液晶表示装置であった。また、薄膜トランジスタの特性変化や各種配線ラインの断線、短絡は認められなかった。

【0136】

【発明の効果】以上詳述したように、本発明によれば耐熱性支持基板に剥離可能に形成された金属メッキ層上に、連続成膜によりドレイン電極とソース電極用の電極層、半導体層、ゲート絶縁層、ゲート電極用の電極層を所望の順序で積層して多層体を予め作製するので、この多層体中にゴミが混入する可能性は極めて小さく、その後、この多層体の構成層をパターニングし、および/または、基板に多層体を転写した後にパターニングして薄膜トランジスタとし、従来の薄膜トランジスタの製造方法に比べて成膜工程が極めて少ないため、薄膜トランジスタを構成するゲート電極層、ゲート絶縁層、半導体層、ドレイン電極層、ソース電極層にゴミ混入によるピンホールや欠けが生じることが防止され、かつ、構成層のすべてあるいは大部分が平坦に形成されるので、構成層の段差乗り越えによる断線や絶縁不良の発生の極めて少ない薄膜トランジスタと、このような薄膜トランジスタをマトリックス状に備えたアクティブマトリックス基板が可能となり、また、上述のように多層体の加工は基板への転写の前後のいずれでもよく、すなわち、多層体の両面のいずれからでも加工を行うことができ、さらに、耐熱性支持基板によって多層体の変形が防止されるので、従来のガラス基板で確立されている能動素子の製造プロセス技術および設備をそのまま使用して多層体形成が行え、基板への転写後は不要となった耐熱性支持基板、金属メッキ層を除去して得られるアクティブマトリックス基板は、薄膜トランジスタ形成領域とそれ以外の領域との高低差がほとんどないフラットなものとなる。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの一実施例を示す概略断面図である。

【図2】図1に示される薄膜トランジスタを備えた本発明のアクティブマトリックス基板の一部の構造を示す平面図である。

【図3】本発明のアクティブマトリックス基板の第1の実施例を示す図であり、図2のX-X切断線における概略断面図である。

【図4】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の一例を示す工程図である。

【図5】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の一例を示す工程図である。

【図6】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の他の例を示す工程図であ

(23)

43

る。

【図7】本発明のアクティブマトリックス基板の第2の実施例を示す図3相当の概略断面図である。

【図8】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の他の例を示す工程図である。

【図9】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の他の例を示す工程図である。

【図10】本発明のアクティブマトリックス基板の第3の実施例を示す図3相当の概略断面図である。

【図11】本発明のアクティブマトリックス基板の第3の実施例を示す図3相当の概略断面図である。

【図12】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の他の例を示す工程図である。

【図13】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の他の例を示す工程図である。

【図14】本発明のアクティブマトリックス基板の第4の実施例を示す図3相当の概略断面図である。

【図15】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の他の例を示す工程図である。

【図16】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の他の例を示す工程図である。

【図17】本発明のアクティブマトリックス基板の第4の実施例を示す図3相当の概略断面図である。

【図18】薄膜トランジスタを備えた本発明のアクティブマトリックス基板の一部の構造を示す平面図である。

【図19】本発明のアクティブマトリックス基板の第5の実施例を示す図であり、図18のX-X切断線における概略断面図である。

【図20】本発明のアクティブマトリックス基板の第5の実施例を示す図であり、図18のY-Y切断線における概略断面図である。

【図21】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の一例を示す工程図である。

【図22】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の一例を示す工程図である。

44

【図23】本発明のアクティブマトリックス基板の第6の実施例を示す図19相当の概略断面図である。

【図24】本発明のアクティブマトリックス基板の第6の実施例を示す図20相当の概略断面図である。

【図25】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の一例を示す工程図である。

【図26】本発明の薄膜トランジスタおよびアクティブマトリックス基板の製造方法の一例を示す工程図である。

【符号の説明】

T1, T2, T3, T4, T5, T6…薄膜トランジスタ

2…基板

3…接着層

4a, 4b, 4c, 4d, 4e, 4f…ゲート電極層

5a, 5b, 5c, 5d, 5e, 5f…ゲート絶縁層

6a, 6b, 6c, 6d, 6e, 6f…半導体層

7a, 7b, 7c, 7d, 7e, 7f…コンタクト層

8a, 8b, 8c, 8d, 8e, 8f…ソース電極層

9a, 9b, 9c, 9d, 9e, 9f…ドレイン電極層

11, 31, 51, 71, 91, 111…アクティブマトリックス基板

12, 32, 52, 72, 92, 112…透明基板

13, 33, 53, 73, 93, 113…透明接着層

14, 34, 54, 74, 94, 114…(透明)画素電極

21, 41, 61, 81, 101, 121…多層体

22, 42, 62, 82, 102, 122…耐熱性支持基板

23, 43, 63, 83, 103, 123…金属メッキ層

24, 64, 84, 104, 124…保護層

25, 65, 105, 125…ドレイン電極とソース電極用の電極層

26, 46, 66, 86, 106, 126…コンタクト層

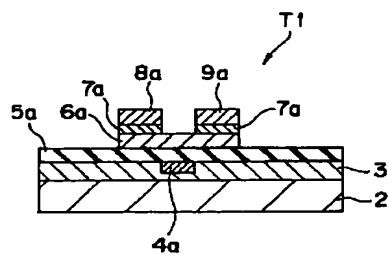
27, 47, 67, 87, 107, 127…半導体層

28, 48, 68, 88, 108, 128…ゲート絶縁層

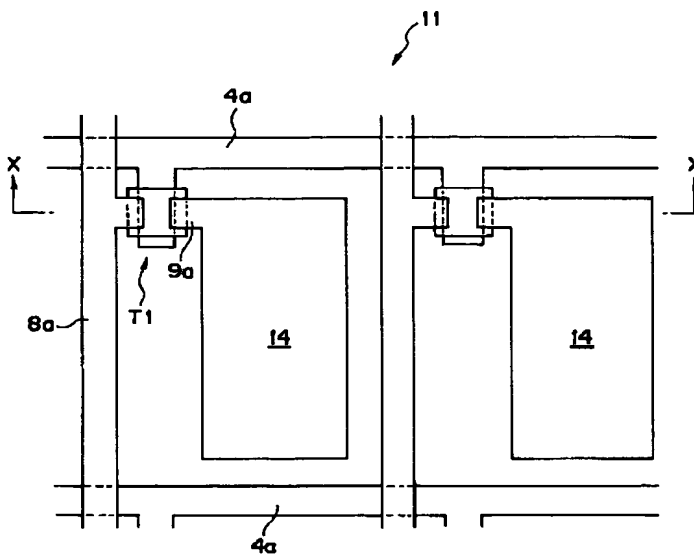
29, 49, 69, 89, 109, 129…ゲート電極用の電極層

(24)

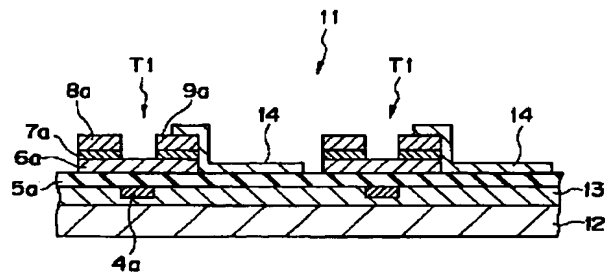
【図1】



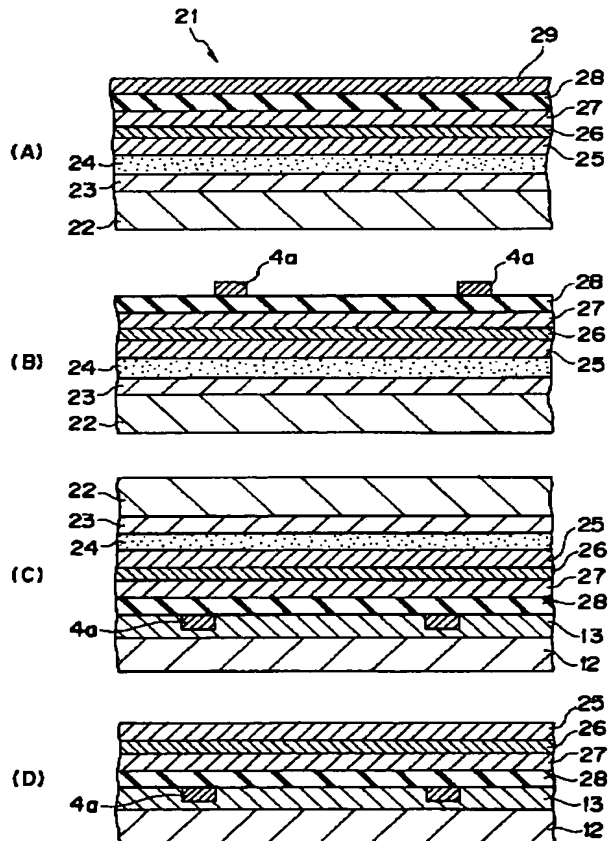
【図2】



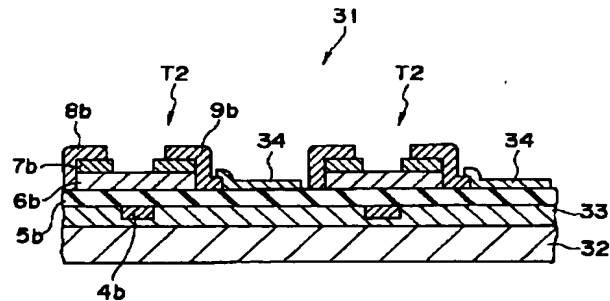
【図3】



【図4】



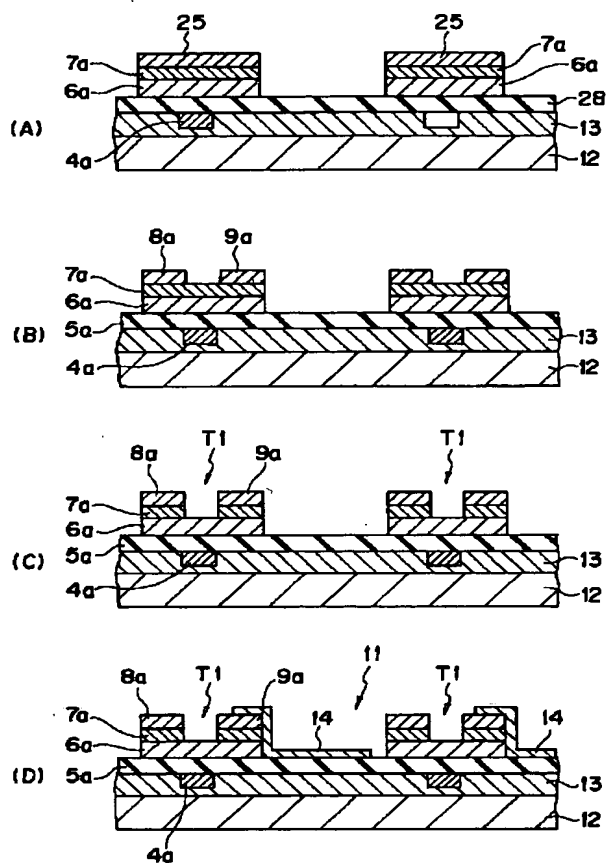
【図7】



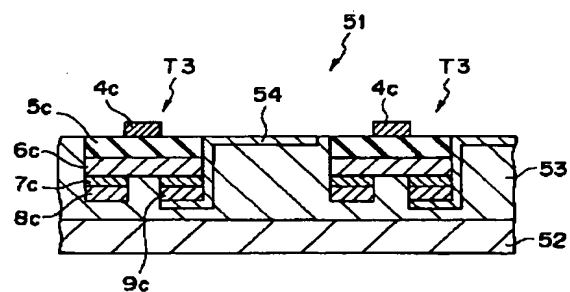


(25)

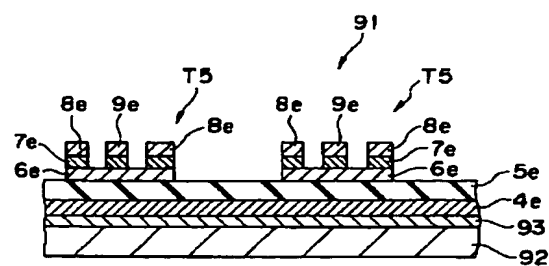
【図5】



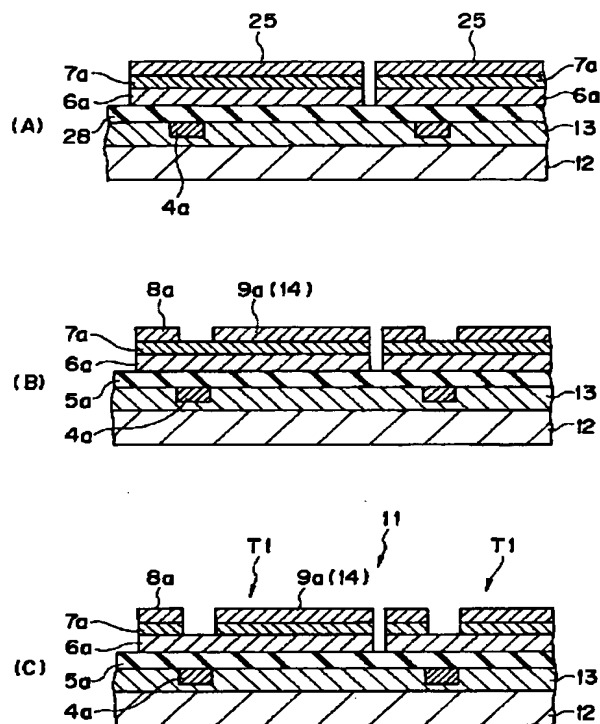
【図10】



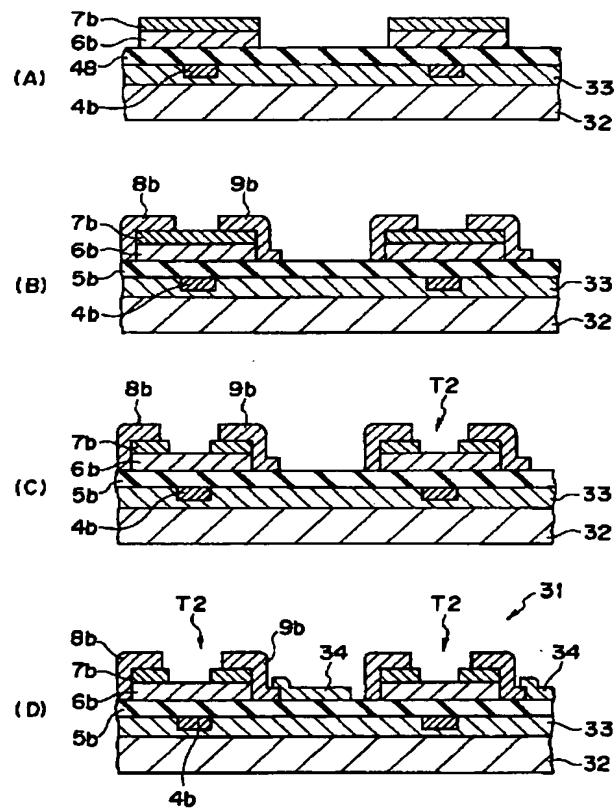
【図19】



【図6】

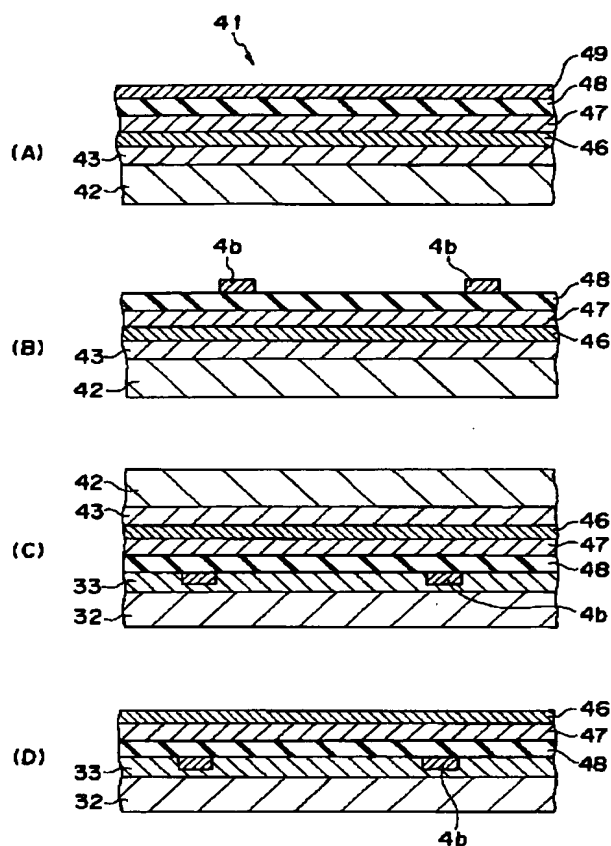


【図9】

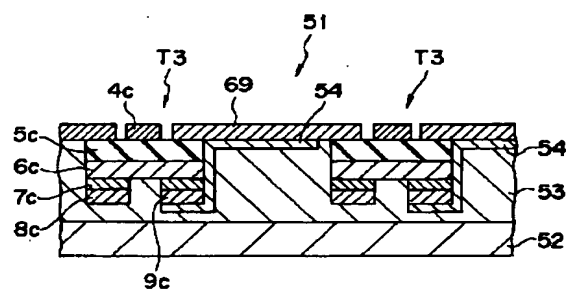


(26)

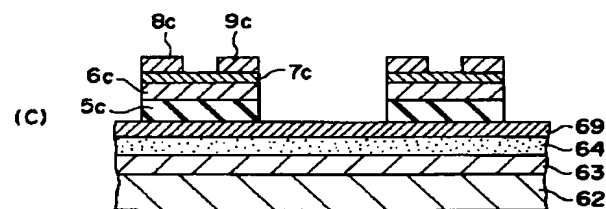
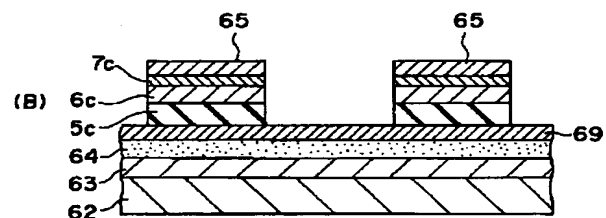
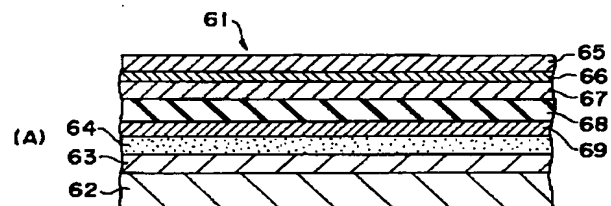
【図8】



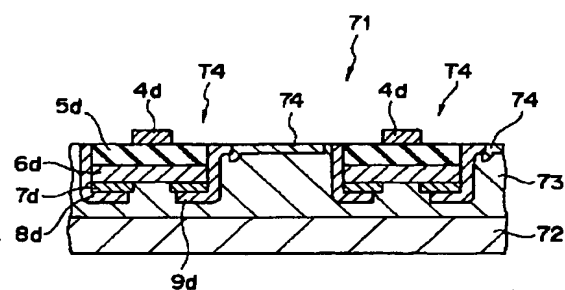
【図11】



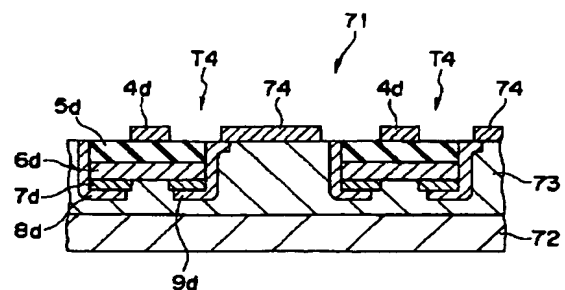
【図12】



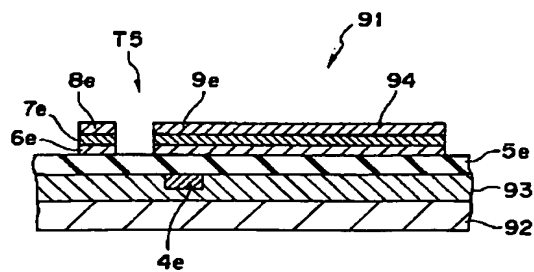
【図14】



【図17】

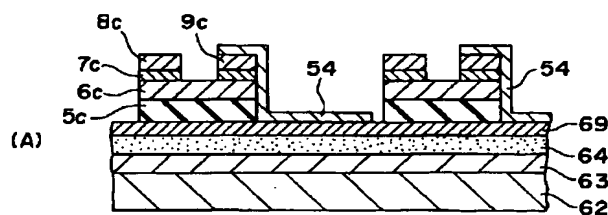


【図20】

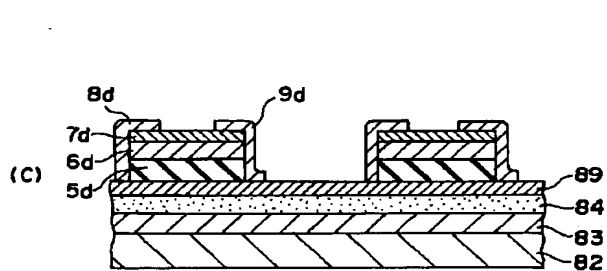
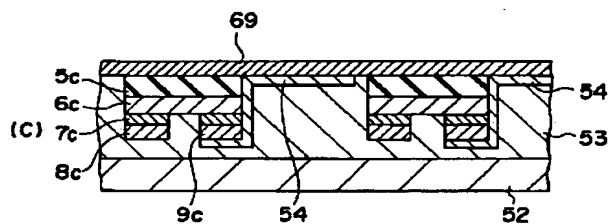
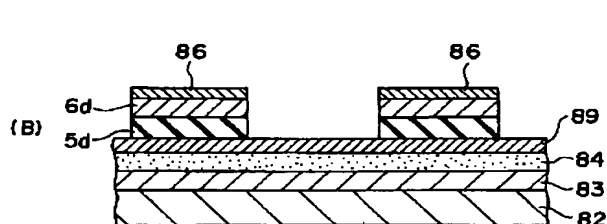
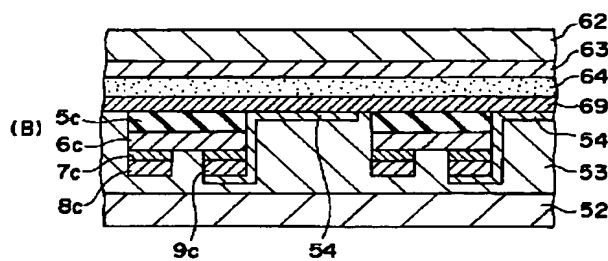
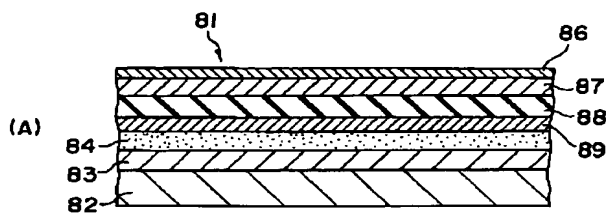


(27)

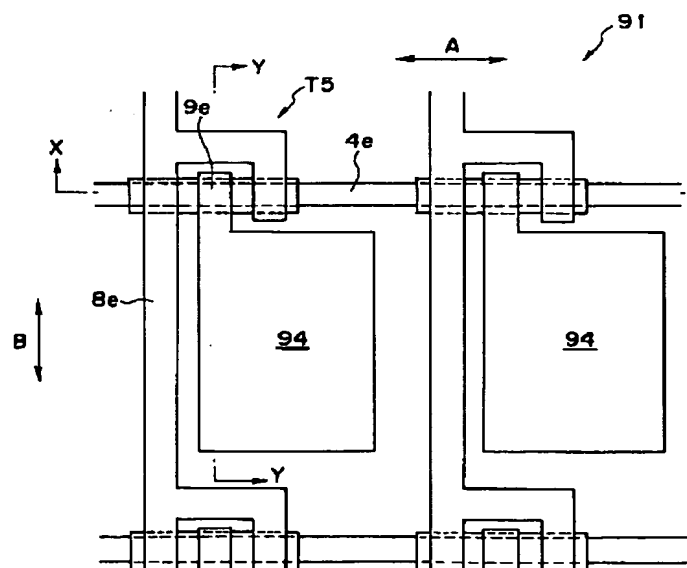
【図13】



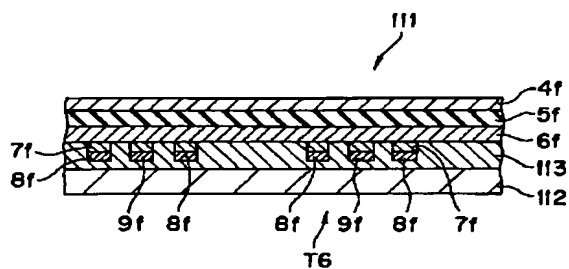
【図15】



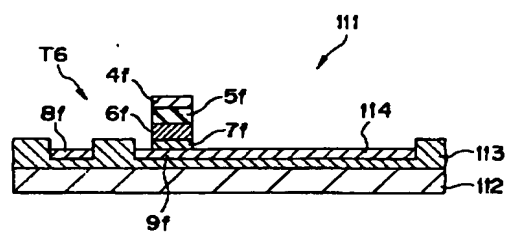
【図18】



【図23】

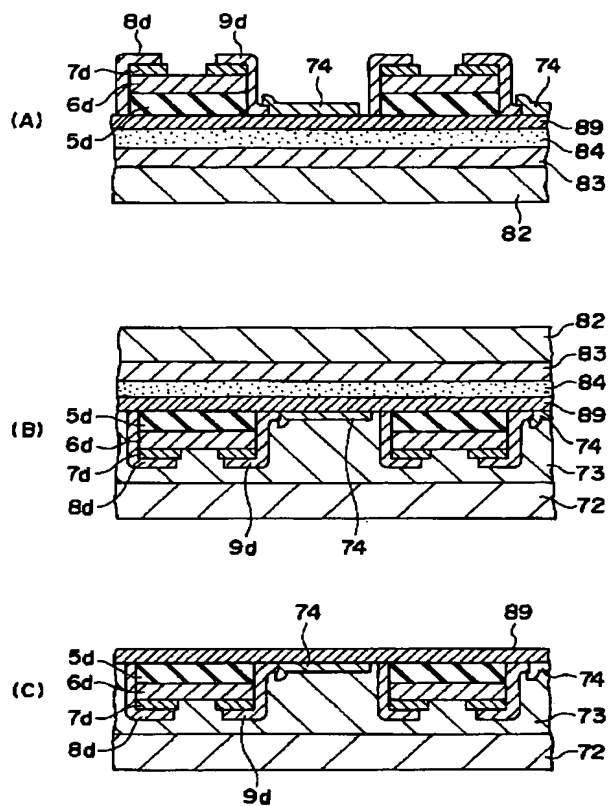


【図24】

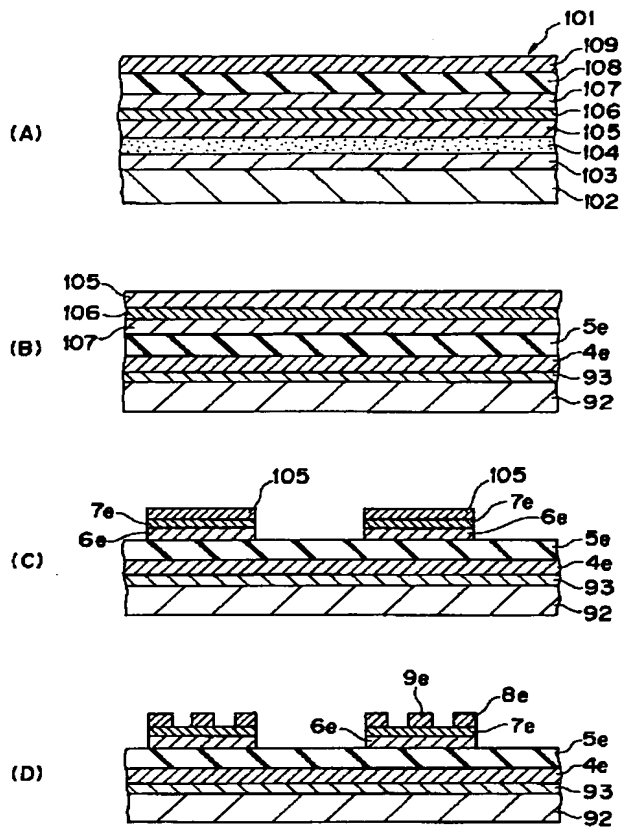


(28)

【図16】

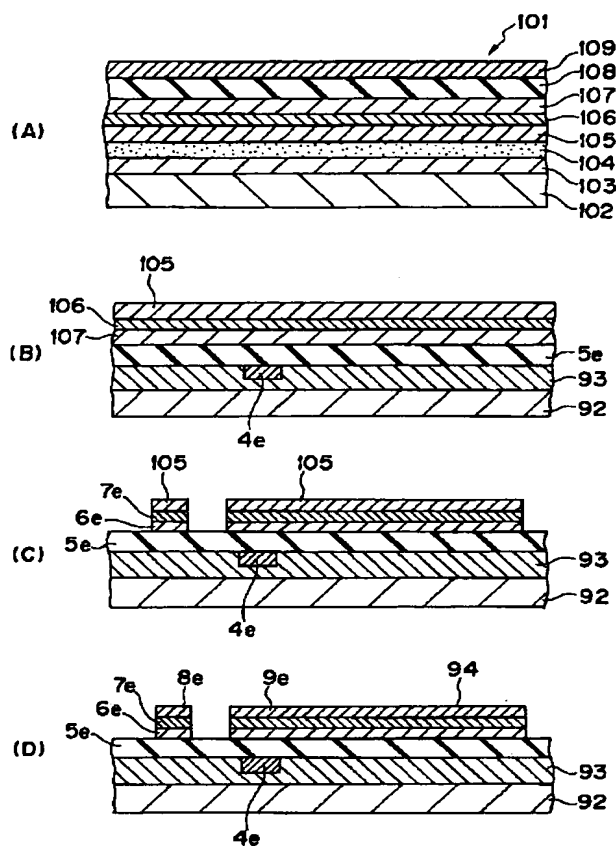


【図21】

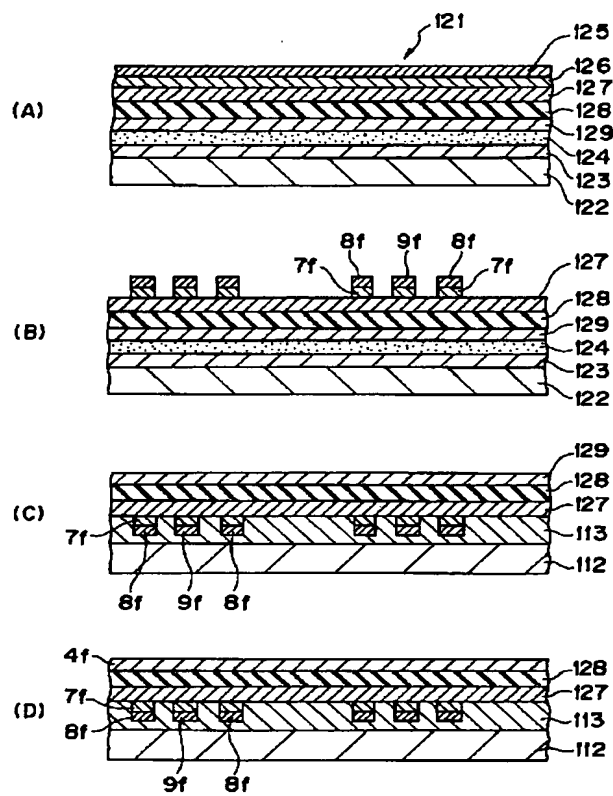


(29)

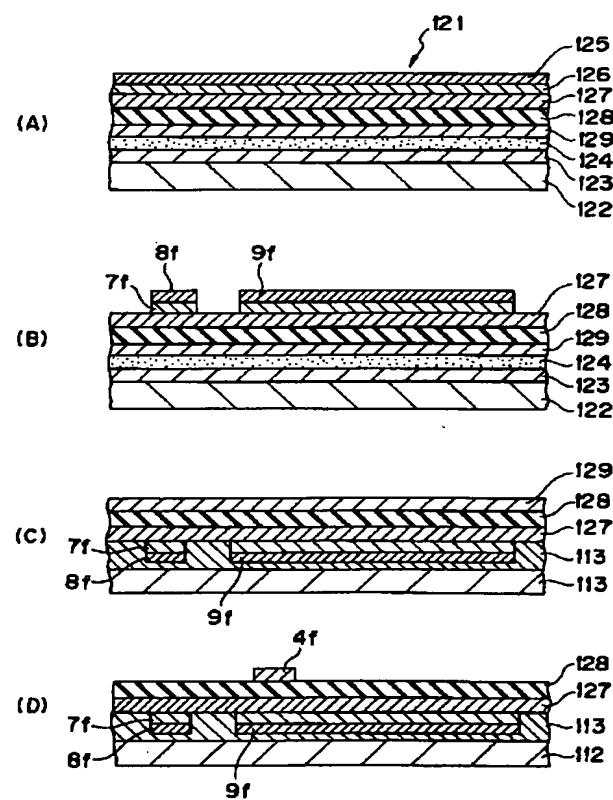
【図22】



【図25】



【図26】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-240814

(43)Date of publication of application : 17.09.1996

(51)Int.Cl. G02F 1/136  
G02F 1/133  
H01L 29/786  
H01L 21/336

(21)Application number : 07-070879

(71)Applicant : DAINIPPON PRINTING CO LTD

(22)Date of filing : 03.03.1995

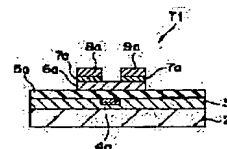
(72)Inventor : ASANO MASAOKI

## (54) THIN-FILM TRANSISTOR AND ITS PRODUCTION AND ACTIVE MATRIX SUBSTRATE AND ITS PRODUCTION

### (57)Abstract:

**PURPOSE:** To provide a thin-film transistor(TFT) with which the occurrence of disconnection of electrodes and insulation defect between the electrodes are prevented, an active matrix substrate having a plurality of such TFTs in a matrix form, and a process for production thereof.

**CONSTITUTION:** A laminate is previously produced by laminating an electrode layer for drain electrodes and source electrodes, a semiconductor layer, a gate insulating layer and an electrode layer for gate electrodes in desired order on a metal plating layer peelably formed by continuously forming film on a heat resistant supporting substrate 2. The TFTs are formed by patterning the constituting layers of such multilayered laminate and/or patterning these layers after transferring the multilayered laminate on a substrate, by which all or the greater part of the gate electrode layer 4a, gate insulating layer 5a, semiconductor layer 6a, drain electrode layer 9a and source electrode layer 8a of the TFTs T1 are formed flat. The TFTs T1 which is extremely little in the occurrence of the pinhole and chipping by intrusion of dust and the disconnection and insulation defect by riding of the constituting layers over the differences in level are obtd. The active matrix substrate having such TFT T1 in the matrix form is obtd.



## LEGAL STATUS

[Date of request for examination] 18.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3445402

[Date of registration] 27.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The thin film transistor characterized by having the semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, and the drain electrode layer and source electrode layer which were evenly formed by the predetermined pattern on this semi-conductor layer.

[Claim 2] The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The thin film transistor characterized by having the semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, and the drain electrode layer and source electrode layer which were formed so that it might connect with the predetermined part of this semi-conductor layer.

[Claim 3] It has the laminating section which consists of the flat semi-conductor layer and gate insulating layer by which the laminating was carried out one by one to the glue line formed on the substrate, and the drain electrode layer evenly formed by the predetermined pattern so that the same field might be formed and a source electrode layer by the predetermined pattern, without producing a level difference in the front-face side of said glue line. The thin film transistor characterized by having the gate electrode layer evenly formed by the predetermined pattern on said gate insulating layer exposed to the front face of said glue line.

[Claim 4] The glue line formed on the substrate, It has the laminating section which consists of a gate insulating layer by which the laminating was evenly carried out to the semi-conductor layer and this semi-conductor layer which were evenly prepared by the predetermined pattern so that it might connect with the drain electrode layer and source electrode layer which were formed by the predetermined pattern by the predetermined pattern, without producing a level difference in the front-face side of said glue line. The thin film transistor characterized by having the gate electrode layer evenly formed by the predetermined pattern on said gate insulating layer exposed to the front face of said glue line.

[Claim 5] without it produces a level difference in the front-face side of the glue line formed on the substrate -- a predetermined line -- with the gate electrode layer prepared by the pattern The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, It has the drain electrode layer and source electrode layer which were evenly formed by the predetermined pattern so that it might intersect perpendicularly with said gate electrode layer mostly. Said semi-conductor layer is located in a three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer, and constitutes the channel section. Said drain electrode layer and said source electrode layer are a thin film transistor characterized by being on the same flat surface and either functioning as the common drain electrode or source electrode about two or more active elements.

[Claim 6] The drain electrode layer and source electrode layer which were prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate, The flat semi-conductor layer by which the laminating was carried out one by one to this drain electrode layer and the source electrode layer, Have a gate insulating layer and a gate electrode layer, and said semi-conductor layer is located in a three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer, and constitutes the channel section. Said drain electrode layer and said source electrode layer are a thin film transistor characterized by being on the same flat surface and either functioning as the common drain electrode or source electrode about two or more active elements.

[Claim 7] The thin film transistor according to claim 1 to 6 characterized by having a contact layer between the layers of said semi-conductor layer and said drain electrode layer, and between the layers of said semi-conductor layer and said source electrode layer.

[Claim 8] The thin film transistor according to claim 1 to 7 characterized by equipping a front face with a protective layer.

[Claim 9] A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for a drain electrode and source electrodes to this metal deposit top, The 1st process which carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes on said substrate, Carry out patterning of the electrode layer, the contact layer, and said semi-conductor layer for said drain electrodes and source electrodes, and it leaves only a predetermined field. the 4th process which forms the flat drain electrode layer which carries out patterning of the electrode layer further for said drain electrodes and source electrodes, and has a predetermined pattern, and a source electrode layer -- since -- the manufacture approach of the thin film transistor characterized by becoming.

[Claim 10] A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for gate electrodes to this metal deposit top, The 1st process which carries out the laminating of a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes one by one, and forms a multilayer object, Carry out patterning of the electrode layer, said contact layer, said semi-conductor layer, and said gate insulating layer for said drain electrodes and source electrodes, and it leaves only a predetermined field. The 2nd process which forms the flat drain electrode layer which carries out patterning of the electrode layer further for said drain electrodes and source electrodes, and has a predetermined pattern, and a source electrode layer, By pasting up a said drain electrode layer [ of said multilayer object ], and source electrode layer side through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said drain electrode layer, a source electrode layer, a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes on said substrate, the 4th process used as the flat gate electrode layer which carries out patterning of the electrode layer for said gate electrodes, and has a predetermined pattern -- since -- the manufacture approach of the thin film transistor characterized by becoming.

[Claim 11] A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for a drain electrode and source electrodes to this metal deposit top, The 1st process which carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate



electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes on said substrate, Carry out patterning of the electrode layer, contact layer, and semi-conductor layer for said drain electrodes and source electrodes, and leave only a predetermined field and patterning of the electrode layer further for said drain electrodes and source electrodes is carried out. The flat drain electrode layer and source electrode layer which have a predetermined pattern are formed on the same flat surface. Said semi-conductor layer is made into the channel section located in the three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer. the 4th process which uses said drain electrode layer or said source electrode layer as the common drain electrode about two or more active elements, or a source electrode -- since -- the manufacture approach of the thin film transistor characterized by becoming.

[Claim 12] The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate and this substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, It has two or more thin film transistors equipped with the drain electrode layer and source electrode layer which were evenly formed by the predetermined pattern on this semi-conductor layer in the shape of a matrix. The active-matrix substrate characterized by having a pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[Claim 13] The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate and this substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, It has two or more thin film transistors equipped with the drain electrode layer and source electrode layer which were formed so that it might connect with the predetermined part of this semi-conductor layer in the shape of a matrix. The active-matrix substrate characterized by having a pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[Claim 14] It has the laminating section which consists of the flat semi-conductor layer and gate insulating layer by which the laminating was carried out one by one to the substrate, the glue line formed on this substrate, and the drain electrode layer evenly formed by the predetermined pattern and a source electrode layer by the predetermined pattern, without producing a level difference in the front-face side of said glue line. It has two or more thin film transistors equipped with the gate electrode layer evenly formed by the predetermined pattern on said gate insulating layer exposed to the front face of said glue line in the shape of a matrix. The active-matrix substrate characterized by having a pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[Claim 15] A substrate and the glue line formed on this substrate, So that it may connect with the drain electrode layer and source electrode layer which consist of a metal conductor formed by the predetermined pattern It has the laminating section which consists of a gate insulating layer by which the laminating was evenly carried out to the semi-conductor layer and this semi-conductor layer which were evenly prepared by the predetermined pattern by the predetermined pattern, without producing a level difference in the front-face side of said glue line. It has two or more thin film transistors equipped with the gate electrode layer evenly formed by the predetermined pattern on said gate insulating layer exposed to the front face of said glue line in the shape of a matrix. The active-matrix substrate characterized by having a transperence pixel electrode linked to either said drain electrode layer of each

thin film transistor, and said source electrode layer.

[Claim 16] The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate and this substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, It has the drain electrode layer and source electrode layer which were evenly formed by the predetermined pattern so that said gate electrode layer might be mostly intersected perpendicularly. Said semi-conductor layer is located in a three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer, and constitutes the channel section. Said drain electrode layer and said source electrode layer are on the same flat surface. It has two or more thin film transistors on which either functions as the common drain electrode or source electrode about two or more active elements in the shape of a matrix. The active-matrix substrate characterized by having a pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[Claim 17] The drain electrode layer and source electrode layer which were prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate and this substrate, The flat semi-conductor layer by which the laminating was carried out one by one to this drain electrode layer and the source electrode layer, Have a gate insulating layer and a gate electrode layer, and said semi-conductor layer is located in a three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer, and constitutes the channel section. Said drain electrode layer and said source electrode layer are on the same flat surface. It has two or more thin film transistors on which either functions as the common drain electrode or source electrode about two or more active elements in the shape of a matrix. The active-matrix substrate characterized by having a pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[Claim 18] The active-matrix substrate according to claim 12 to 17 characterized by having a contact layer between said semi-conductor layer and said drain electrode layer and between the layers of said semi-conductor layer and said source electrode layer.

[Claim 19] Said pixel electrode is an active-matrix substrate given in either claim 26 which is formed with the transparency conductor and characterized by being the active-matrix substrate of a transparency mold thru/or claim 29, claim 17 and claim 18.

[Claim 20] Said pixel electrode is an active-matrix substrate according to claim 12 to 18 which is formed with the metal conductor and characterized by being the active-matrix substrate of a reflective mold.

[Claim 21] Said pixel electrode is claim 12 characterized by being formed in one with either said drain electrode layer and said source electrode layer, claim 13, and an active-matrix substrate according to claim 16 to 20.

[Claim 22] The active-matrix substrate according to claim 12 to 21 characterized by equipping the front face of the field except said pixel electrode with a protective layer.

[Claim 23] In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for a drain electrode and source electrodes to this metal deposit top, The 1st process which carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes on

said substrate, Carry out patterning of the electrode layer, the contact layer, and said semi-conductor layer for said drain electrodes and source electrodes, and it leaves only a predetermined field. the 4th process which forms the flat drain electrode layer which carries out patterning of the electrode layer further for said drain electrodes and source electrodes, and has a predetermined pattern, and a source electrode layer -- since -- the manufacture approach of the active-matrix substrate characterized by becoming.

[Claim 24] The manufacture approach of the active-matrix substrate according to claim 23 characterized by forming a pixel electrode in formation and coincidence of said drain electrode layer and a source electrode in one in said 4th process.

[Claim 25] The manufacture approach of the active-matrix substrate according to claim 23 characterized by forming a transparence pixel electrode so that it may connect with either said drain electrode layer and a source electrode in said 4th process after forming said drain electrode layer and a source electrode.

[Claim 26] In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix The 1st process which forms a metal deposit possible [ exfoliation ] on a heat-resistant support substrate, carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object on this metal deposit, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, and a contact layer on said substrate, the 4th process which forms a drain electrode layer and a source electrode layer so that it may connect with the predetermined part of this semi-conductor layer through said contact layer after carrying out patterning of said semi-conductor layer to a predetermined pattern -- since -- the manufacture approach of the active-matrix substrate characterized by becoming.

[Claim 27] The manufacture approach of the active-matrix substrate according to claim 26 characterized by forming a pixel electrode in formation and coincidence of said drain electrode layer and a source electrode in one in said 4th process.

[Claim 28] The manufacture approach of the active-matrix substrate according to claim 26 characterized by forming a transparence pixel electrode so that it may connect with either said drain electrode layer and a source electrode in said 4th process after forming said drain electrode layer and a source electrode.

[Claim 29] In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for gate electrodes to this metal deposit top, The 1st process which carries out the laminating of a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes one by one, and forms a multilayer object, Carry out patterning of the electrode layer, said contact layer, said semi-conductor layer, and said gate insulating layer for said drain electrodes and source electrodes, and it leaves only a predetermined field. The flat drain electrode layer and flat source electrode layer which carry out patterning of the electrode layer further for said drain electrodes and source electrodes, and have a predetermined pattern, And the 2nd process which forms the pixel electrode connected with said drain electrode layer at either of the source electrodes, By pasting up a said drain electrode layer [ of said multilayer object ], and source electrode layer side through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said drain electrode layer, a source electrode layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes on said substrate, the 4th process used as the flat gate

electrode layer which carries out patterning of the electrode layer for said gate electrodes, and has a predetermined pattern -- since -- the manufacture approach of the active-matrix substrate characterized by becoming.

[Claim 30] In said 2nd process, before forming said drain electrode layer and a source electrode, the electrode layer for pixel electrodes is formed. The flat drain electrode layer and flat source electrode layer which carry out patterning of the electrode layer for said drain electrodes and source electrodes, and the electrode layer for pixel electrodes, and have a predetermined pattern, And the manufacture approach of the active-matrix substrate according to claim 29 characterized by forming the pixel electrode connected with said drain electrode layer at either of the source electrodes.

[Claim 31] The manufacture approach of the active-matrix substrate according to claim 29 characterized by forming a transference pixel electrode so that it may connect with either said drain electrode layer and a source electrode in said 2nd process after forming said drain electrode layer and a source electrode.

[Claim 32] The manufacture approach of the active-matrix substrate according to claim 29 to 31 characterized by making the electrode layer for said gate electrodes remain, and using it as the active-matrix substrate of a reflective mold to a pixel electrode formation field in said 4th process.

[Claim 33] In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix The 1st process which forms a metal deposit possible [ exfoliation ] on a heat-resistant support substrate, carries out the laminating of the electrode layer for gate electrodes, a gate insulating layer, a semi-conductor layer, and the contact layer one by one, and forms a multilayer object on this metal deposit, After carrying out patterning of said contact layer, said semi-conductor layer, and said gate insulating layer by the predetermined pattern, respectively, The 2nd process which forms the drain electrode layer which consists of a metal conductor so that it may connect with the predetermined part of this semi-conductor layer through said contact layer, and a source electrode layer, By pasting up a said drain electrode layer [ of said multilayer object ], and source electrode layer side through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said drain electrode layer, a source electrode layer, a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes on said substrate, the 4th process used as the flat gate electrode layer which carries out patterning of the electrode layer for said gate electrodes, and has a predetermined pattern -- since -- the manufacture approach of the active-matrix substrate characterized by becoming.

[Claim 34] In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for a drain electrode and source electrodes to this metal deposit top, The 1st process which carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes on said substrate, Carry out patterning of the electrode layer, contact layer, and semi-conductor layer for said drain electrodes and source electrodes, and leave only a predetermined field and patterning of the electrode layer further for said drain electrodes and source electrodes is carried out. The flat drain electrode layer and flat source electrode layer which have a predetermined pattern on the same flat surface, The pixel electrode linked to either this drain electrode layer and a source electrode is formed. Said semi-conductor layer is made into the channel section located in the three-dimensional

intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer. the 4th process which uses said drain electrode layer or said source electrode layer as the common drain electrode about two or more active elements, or a source electrode -- since -- the manufacture approach of the active-matrix substrate characterized by becoming.

[Claim 35] In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for gate electrodes to this metal deposit top, The 1st process which carries out the laminating of a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes one by one, and forms a multilayer object, Patterning of the electrode layer and said contact layer for said drain electrodes and source electrodes is carried out. The flat drain electrode layer and flat source electrode layer which have a predetermined pattern on the same flat surface, The pixel electrode linked to either this drain electrode layer and a source electrode is formed. Said semi-conductor layer is made into the channel section located in the three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer. The 2nd process which uses said drain electrode layer or said source electrode layer as the common drain electrode about two or more active elements, or a source electrode, By pasting up a said drain electrode layer [ of said multilayer object ], and source electrode layer side through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said drain electrode layer, a source electrode layer, a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes on said substrate, the 4th process used as the flat gate electrode layer and gate insulating layer which carry out patterning of the electrode layer, gate insulating layer, and semi-conductor layer for said gate electrodes, and have a predetermined pattern, and a semi-conductor layer -- since -- the manufacture approach of the active-matrix substrate characterized by becoming.

[Claim 36] The manufacture approach of the active-matrix substrate according to claim 35 characterized by forming the electrode layer for said drain electrodes and source electrodes with transperence conductive material, and considering as the active-matrix substrate of a transparency mold.

[Claim 37] The manufacture approach of the active-matrix substrate according to claim 35 characterized by forming the electrode layer for said drain electrodes and source electrodes with metal conductive material, and considering as the active-matrix substrate of a reflective mold.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

## [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the thin film transistor which starts the active-matrix substrate equipped with two or more thin film transistors and these thin film transistors in the shape of a matrix, especially cannot produce the defect of an open circuit, poor insulation, etc. easily, active-matrix substrates, and these manufacture approaches.

[0002]

[Description of the Prior Art] It is thought that especially a thin film transistor has the high utility value in the field of a liquid crystal display, and the need will grow increasingly from now on. A thin film transistor is the active element which formed the gate electrode on the glass substrate and usually formed the semi-conductor layer, and a drain electrode and a source electrode through the insulating layer on this. And the channel formed in the field between a drain electrode and a source electrode can be made into switch-on by controlling the electrical potential difference impressed to a gate electrode, or can be made into non-switch-on, and, thereby, a thin film transistor can perform actuation as a switching element in which between a drain electrode and source electrodes carries out ON/OFF.

[0003] When applying such a thin film transistor to a liquid crystal display, on a substrate, two or more thin film transistors will be arranged in the shape of a matrix in all directions, a display (pixel) electrode will be connected for every thin film transistor, and an active-matrix substrate will be formed so that one thin film transistor may exist in 1 pixel. For example, if a gate electrode is installed in the longitudinal direction of this matrix, a source electrode is installed in the lengthwise direction of this matrix and a drain electrode is connected to the display (pixel) electrode corresponding to 1 pixel in each thin film transistor, the potential of the display (pixel) electrode corresponding to the pixel of arbitration can be controlled by combination of a gate electrode and a source electrode.

[0004] Here, the mainstream of the structure of a thin film transistor is the thing of the bottom gate called a NSI mold (N+Semiconductor Insulator) and an ISI mold (Insulator Semiconductor Insulator). A NSI mold has the advantage that a production process becomes easy (a required mask decreases), compared with an ISI mold. On the other hand, since an ISI mold has an etching stopper layer, the semi-conductor layer of a channel part stops being able to receive the plasma damage by patterning easily, and the homogeneity of thickness and repeatability are maintained. For this reason, it has the advantage that a quality active element with a high precision about electrical characteristics is obtained.

[0005] Moreover, 2 S-TFT structures where a drain electrode is located in two source inter-electrode are known as structure of a thin film transistor. The channel section is formed in the both sides of a drain electrode with this 2 S-TFT structure.

[0006]

[Problem(s) to be Solved by the Invention] However, if the gate electrode installed in the longitudinal direction of a matrix and the source electrode installed in the lengthwise direction become an open circuit or poor insulation when an active-matrix substrate is formed using a thin film transistor as mentioned above and a liquid crystal display is constituted using this active-matrix substrate, the pixel arranged in the shape of a matrix will become out of control per a line unit or train. That is, an unnecessary line will appear in a lengthwise direction or a longitudinal direction on the screen of a liquid crystal display, and it will have a serious defect on image quality.

[0007] Above open circuits or poor insulation are usually generated at the process which produces a thin film transistor, and the problem of dust mixing and the problem on structure are mentioned as main causes.

[0008] Generally, since an active-matrix substrate was produced through various film formation processes and a patterning process, its possibility that dust will mix in each process was large, and it had the problem that a pinhole and a chip occurred according to omission of the mixed dust, and an open circuit or poor insulation arose.

[0009] Moreover, as for the conventional thin film transistor, a step covering ledge poses a problem on

the structure. That is, if thin film formation of the gate electrode is carried out by the predetermined pattern, on the boundary of the formation section of a gate electrode, and the agenesis section, a level difference will arise considerable the bottom in a part for the thickness of a gate electrode. Next, although a gate insulating layer and a semi-conductor layer are formed on this gate electrode, also in this process, a level difference arises considerable the bottom in a part for the thickness of a semi-conductor layer on the boundary of the formation section of a semi-conductor layer, and the agenesis section. Furthermore, although a source electrode and a drain electrode are formed on this semi-conductor layer, if the step covering ledge in the above-mentioned level difference part is not taken into consideration, the poor insulation in the part which an open circuit of a source electrode, a gate electrode, and a source electrode intersect will be generated. Although such an open circuit and poor insulation were prevented by enlarging thickness of the gate insulating layer formed by sputtering etc., when thickness was enlarged, the time amount which the time amount and patterning of thin film formation take increased, and there was a problem of causing decline in manufacture effectiveness.

[0010] Furthermore, the gate electrode, the source electrode, and the drain electrode had the problem that electric resistance became large in \*\*\*\*\* and wiring produced un-arranging in a display, when using it as for example, an object for large-sized liquid crystal display equipments. Decreasing electric resistance by making the thickness of wiring increase as this cure is performed. However, if thickness of wiring is enlarged, the problem of an above-mentioned step covering ledge will occur.

[0011] This invention is made in view of the above actual condition, the problem on the structure of the conventional thin film transistor is solved, and it aims at offering these manufacture approaches to the thin film transistor which prevented an open circuit of an electrode and inter-electrode poor insulation's generating, and the active-matrix substrate equipped with two or more such thin film transistors in the shape of a matrix.

[0012]

[Means for Solving the Problem] In order to attain such a purpose, invention of the 1st of the thin film transistor of this invention The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, It considered as a configuration which is equipped with the semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, and the drain electrode layer and source electrode layer which were evenly formed by the predetermined pattern on this semi-conductor layer.

[0013] The gate electrode layer prepared by the predetermined pattern, without invention of the 2nd of a thin film transistor producing a level difference in the front-face side of the glue line formed on the substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, It considered as a configuration which is equipped with the semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, and the drain electrode layer and source electrode layer which were formed so that it might connect with the predetermined part of this semi-conductor layer.

[0014] Moreover, the glue line by which invention of the 3rd of a thin film transistor was formed on the substrate, It has the laminating section which consists of the flat semi-conductor layer and gate insulating layer by which the laminating was carried out one by one to the drain electrode layer evenly formed by the predetermined pattern so that the same side might be formed, and the source electrode layer by the predetermined pattern, without producing a level difference in the front-face side of said glue line. It considered as a configuration which is equipped with the gate electrode layer evenly formed by the predetermined pattern on said gate insulating layer exposed to the front face of said glue line.

[0015] The glue line by which invention of the 4th of a thin film transistor was formed on the substrate, It has the laminating section which consists of a gate insulating layer by which the laminating was evenly carried out to the semi-conductor layer and this semi-conductor layer which were evenly prepared by the predetermined pattern so that it might connect with the drain electrode layer and source electrode

layer which were formed by the predetermined pattern by the predetermined pattern, without producing a level difference in the front-face side of said glue line. It considered as a configuration which is equipped with the gate electrode layer evenly formed by the predetermined pattern on said gate insulating layer exposed to the front face of said glue line.

[0016] moreover -- without invention of the 5th of a thin film transistor produces a level difference in the front-face side of the glue line formed on the substrate -- a predetermined line -- with the gate electrode layer prepared by the pattern The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, It has the drain electrode layer and source electrode layer which were evenly formed by the predetermined pattern so that it might intersect perpendicularly with said gate electrode layer mostly. Said semi-conductor layer is located in a three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer, and constitutes the channel section. Said drain electrode layer and said source electrode layer were considered as a configuration as which it is on the same flat surface, and either functions as the common drain electrode or source electrode about two or more active elements.

[0017] Furthermore, the drain electrode layer and source electrode layer which were prepared by the predetermined pattern, without invention of the 6th of a thin film transistor producing a level difference in the front-face side of the glue line formed on the substrate, The flat semi-conductor layer by which the laminating was carried out one by one to this drain electrode layer and the source electrode layer, Have a gate insulating layer and a gate electrode layer, and said semi-conductor layer is located in a three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer, and constitutes the channel section. Said drain electrode layer and said source electrode layer were considered as a configuration as which it is on the same flat surface, and either functions as the common drain electrode or source electrode about two or more active elements.

[0018] Invention of the 1st of the manufacture approach of the thin film transistor of this invention A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for a drain electrode and source electrodes to this metal deposit top, The 1st process which carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes on said substrate, Carry out patterning of the electrode layer, the contact layer, and said semi-conductor layer for said drain electrodes and source electrodes, and it leaves only a predetermined field. the 4th process which forms the flat drain electrode layer which carries out patterning of the electrode layer further for said drain electrodes and source electrodes, and has a predetermined pattern, and a source electrode layer -- since -- it considered as a configuration which becomes.

[0019] Moreover, invention of the 2nd of the manufacture approach of a thin film transistor A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for gate electrodes to this metal deposit top, The 1st process which carries out the laminating of a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes one by one, and forms a multilayer object, Carry out patterning of the electrode layer, said contact layer, said semi-conductor layer, and said gate insulating layer for said drain electrodes and source electrodes, and it leaves only a predetermined field. The 2nd process which forms the flat drain electrode layer which carries out patterning of the electrode layer further for said drain electrodes and source electrodes, and has a predetermined pattern, and a source electrode layer, By



pasting up a said drain electrode layer [ of said multilayer object ], and source electrode layer side through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said drain electrode layer, a source electrode layer, a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes on said substrate, the 4th process used as the flat gate electrode layer which carries out patterning of the electrode layer for said gate electrodes, and has a predetermined pattern -- since -- it considered as a configuration which becomes.

[0020] Furthermore, invention of the 3rd of the manufacture approach of a thin film transistor A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for a drain electrode and source electrodes to this metal deposit top, The 1st process which carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes on said substrate, Carry out patterning of the electrode layer, contact layer, and semi-conductor layer for said drain electrodes and source electrodes, and leave only a predetermined field and patterning of the electrode layer further for said drain electrodes and source electrodes is carried out. The flat drain electrode layer and source electrode layer which have a predetermined pattern are formed on the same flat surface. Said semi-conductor layer is made into the channel section located in the three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer. the 4th process which uses said drain electrode layer or said source electrode layer as the common drain electrode about two or more active elements, or a source electrode -- since -- it considered as a configuration which becomes.

[0021] Invention of the 1st of the active-matrix substrate of this invention The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate and this substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, It has two or more thin film transistors equipped with the drain electrode layer and source electrode layer which were evenly formed by the predetermined pattern on this semi-conductor layer in the shape of a matrix. It considered as a configuration which is equipped with the pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[0022] Invention of the 2nd of an active-matrix substrate The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate and this substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, It has two or more thin film transistors equipped with the drain electrode layer and source electrode layer which were formed so that it might connect with the predetermined part of this semi-conductor layer in the shape of a matrix. It considered as a configuration which is equipped with the pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[0023] Moreover, invention of the 3rd of an active-matrix substrate It has the laminating section which consists of the flat semi-conductor layer and gate insulating layer by which the laminating was carried out one by one to the substrate, the glue line formed on this substrate, and the drain electrode layer evenly formed by the predetermined pattern and a source electrode layer by the predetermined pattern, without producing a level difference in the front-face side of said glue line. It has two or more thin film

transistors equipped with the gate electrode layer evenly formed by the predetermined pattern on said gate insulating layer exposed to the front face of said glue line in the shape of a matrix. It considered as a configuration which is equipped with the pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[0024] Invention of the 4th of an active-matrix substrate A substrate and the glue line formed on this substrate, So that it may connect with the drain electrode layer and source electrode layer which consist of a metal conductor formed by the predetermined pattern It has the laminating section which consists of a gate insulating layer by which the laminating was evenly carried out to the semi-conductor layer and this semi-conductor layer which were evenly prepared by the predetermined pattern by the predetermined pattern, without producing a level difference in the front-face side of said glue line. It has two or more thin film transistors equipped with the gate electrode layer evenly formed by the predetermined pattern on said gate insulating layer exposed to the front face of said glue line in the shape of a matrix. It considered as a configuration which is equipped with the transparence pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[0025] Moreover, invention of the 5th of an active-matrix substrate The gate electrode layer prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate and this substrate, The gate insulating layer evenly formed on said glue line so that said gate electrode layer might be covered at least, The semi-conductor layer evenly formed by the predetermined pattern on this gate insulating layer, It has the drain electrode layer and source electrode layer which were evenly formed by the predetermined pattern so that said gate electrode layer might be mostly intersected perpendicularly. Said semi-conductor layer is located in a three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer, and constitutes the channel section. Said drain electrode layer and said source electrode layer are on the same flat surface. It has two or more thin film transistors on which either functions as the common drain electrode or source electrode about two or more active elements in the shape of a matrix. It considered as a configuration which is equipped with the pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[0026] Furthermore, invention of the 6th of an active-matrix substrate The drain electrode layer and source electrode layer which were prepared by the predetermined pattern, without producing a level difference in the front-face side of the glue line formed on the substrate and this substrate, The flat semi-conductor layer by which the laminating was carried out one by one to this drain electrode layer and the source electrode layer, Have a gate insulating layer and a gate electrode layer, and said semi-conductor layer is located in a three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer, and constitutes the channel section. Said drain electrode layer and said source electrode layer are on the same flat surface. It has two or more thin film transistors on which either functions as the common drain electrode or source electrode about two or more active elements in the shape of a matrix. It considered as a configuration which is equipped with the pixel electrode linked to either said drain electrode layer of each thin film transistor, and said source electrode layer.

[0027] Invention of the 1st of the manufacture approach of the active-matrix substrate of this invention In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for a drain electrode and source electrodes to this metal deposit top, The 1st process which carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a

glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit. The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes on said substrate, Carry out patterning of the electrode layer, the contact layer, and said semi-conductor layer for said drain electrodes and source electrodes, and it leaves only a predetermined field. the 4th process which forms the flat drain electrode layer which carries out patterning of the electrode layer further for said drain electrodes and source electrodes, and has a predetermined pattern, and a source electrode layer -- since -- it considered as a configuration which becomes.

[0028] Invention of the 2nd of the manufacture approach of an active-matrix substrate In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix The 1st process which forms a metal deposit possible [ exfoliation ] on a heat-resistant support substrate, carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object on this metal deposit, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, and a contact layer on said substrate, the 4th process which forms a drain electrode layer and a source electrode layer so that it may connect with the predetermined part of this semi-conductor layer through said contact layer after carrying out patterning of said semi-conductor layer to a predetermined pattern -- since -- it considered as a configuration which becomes.

[0029] Moreover, invention of the 3rd of the manufacture approach of an active-matrix substrate In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for gate electrodes to this metal deposit top, The 1st process which carries out the laminating of a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes one by one, and forms a multilayer object, Carry out patterning of the electrode layer, said contact layer, said semi-conductor layer, and said gate insulating layer for said drain electrodes and source electrodes, and it leaves only a predetermined field. The flat drain electrode layer and flat source electrode layer which carry out patterning of the electrode layer further for said drain electrodes and source electrodes, and have a predetermined pattern, And the 2nd process which forms the pixel electrode connected with said drain electrode layer at either of the source electrodes, By pasting up a said drain electrode layer [ of said multilayer object ], and source electrode layer side through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said drain electrode layer, a source electrode layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes on said substrate, the 4th process used as the flat gate electrode layer which carries out patterning of the electrode layer for said gate electrodes, and has a predetermined pattern -- since -- it considered as a configuration which becomes.

[0030] Invention of the 4th of the manufacture approach of an active-matrix substrate In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix The 1st process which forms a metal deposit possible [ exfoliation ] on a heat-resistant support substrate, carries out the laminating of the electrode layer for gate electrodes, a gate insulating layer, a semi-conductor layer, and the contact layer one by one, and forms a multilayer object on this metal deposit, After carrying out patterning of said contact layer, said semi-conductor layer, and said gate insulating layer by the predetermined pattern, respectively, The 2nd process which forms the drain electrode layer which consists of a metal conductor so that it may connect with the predetermined part of this semi-conductor layer through said contact layer, and a

source electrode layer, By pasting up a said drain electrode layer [ of said multilayer object ], and source electrode layer side through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said drain electrode layer, a source electrode layer, a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes on said substrate, the 4th process used as the flat gate electrode layer which carries out patterning of the electrode layer for said gate electrodes, and has a predetermined pattern -- since -- it considered as a configuration which becomes.

[0031] Moreover, invention of the 5th of the manufacture approach of an active-matrix substrate In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for a drain electrode and source electrodes to this metal deposit top, The 1st process which carries out the laminating of a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes one by one, and forms a multilayer object, The 2nd process used as the flat gate electrode layer which carries out patterning of the electrode layer for the gate electrodes of said multilayer object, and has a predetermined pattern, By pasting up said gate electrode layer side of said multilayer object through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said gate electrode layer, a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes on said substrate, Carry out patterning of the electrode layer, contact layer, and semi-conductor layer for said drain electrodes and source electrodes, and leave only a predetermined field and patterning of the electrode layer further for said drain electrodes and source electrodes is carried out. The flat drain electrode layer and flat source electrode layer which have a predetermined pattern on the same flat surface, The pixel electrode linked to either this drain electrode layer and a source electrode is formed. Said semi-conductor layer is made into the channel section located in the three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer. the 4th process which uses said drain electrode layer or said source electrode layer as the common drain electrode about two or more active elements, or a source electrode -- since -- it considered as a configuration which becomes.

[0032] Furthermore, invention of the 6th of the manufacture approach of an active-matrix substrate In the manufacture approach of an active-matrix substrate of having two or more thin film transistors and pixel electrode layers in the shape of a matrix A metal deposit is formed possible [ exfoliation ] on a heat-resistant support substrate. The electrode layer for gate electrodes to this metal deposit top, The 1st process which carries out the laminating of a gate insulating layer, a semi-conductor layer, a contact layer, and the electrode layer for a drain electrode and source electrodes one by one, and forms a multilayer object, Patterning of the electrode layer and said contact layer for said drain electrodes and source electrodes is carried out. The flat drain electrode layer and flat source electrode layer which have a predetermined pattern on the same flat surface, The pixel electrode linked to either this drain electrode layer and a source electrode is formed. Said semi-conductor layer is made into the channel section located in the three-dimensional intersection with said gate electrode layer, said drain electrode layer, and a source electrode layer. The 2nd process which uses said drain electrode layer or said source electrode layer as the common drain electrode about two or more active elements, or a source electrode, By pasting up a said drain electrode layer [ of said multilayer object ], and source electrode layer side through a glue line on a substrate, and exfoliating said heat-resistant support substrate and said metal deposit The 3rd process which imprints said drain electrode layer, a source electrode layer, a contact layer, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes on said substrate, the 4th process used as the flat gate electrode layer and gate insulating layer which carry out patterning of the electrode layer, gate insulating layer, and semi-conductor layer for said gate electrodes, and have a predetermined pattern, and a semi-conductor layer -- since -- it

considered as a configuration which becomes.

[0033]

[Function] The electrode layer for a drain electrode and source electrodes to the formed metal deposit [ which can exfoliate in a heat-resistant support substrate ] top, The multilayer object which carried out the laminating of a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes by continuation membrane formation in desired sequence is produced beforehand, and patterning of the configuration layer of this multilayer object is carried out. And/ Or since patterning is carried out and it considers as a thin film transistor after imprinting a multilayer object to a substrate Most of the gate electrode layer which constitutes a thin film transistor, a gate insulating layer, semi-conductor layers, drain electrode layers, and source electrode most of [ all or ] are formed evenly, and, thereby, the open circuit of an electrode and inter-electrode poor insulation's generating by level difference riding \*\*\*\* of a thin film in a thin film transistor are prevented.

[0034]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0035] Drawing 1 is the outline sectional view showing one example of the thin film transistor of this invention. Gate electrode 4a prepared by the predetermined pattern, without a thin film transistor T1 producing a level difference in drawing 1 in the front-face side of the glue line 3 formed on the substrate 2, It consists of gate insulating-layer 5a formed on the glue line 3, semi-conductor layer 6a formed by the predetermined pattern on this gate insulating-layer 5a, and source electrode layer 8a and drain electrode layer 9a which were formed on semi-conductor layer 6a through contact layer 7a. The thin film transistor T1 of this invention is a flat configuration in which a level difference does not have each of gate electrode layer 4a, gate insulating-layer 5a, semi-conductor layer 6a, contact layer 7a, source electrode layer 8a, and drain electrode layer 9a like illustration. For this reason, the step covering ledge in the level difference part of the conventional thin film transistor does not pose a problem, but produces neither an open circuit of a source electrode layer and a drain electrode layer nor the poor insulation for the intersection of a gate electrode layer and a source electrode layer.

[0036] Gate electrode layer 4a which constitutes a thin film transistor T1, source electrode layer 8a, and drain electrode layer 9a can be formed with the same ingredient as the conventional thin film transistor, for example, Cr, Cu, Ta, aluminum, Ag, etc. Moreover, gate insulating-layer 5a has the desirable silicon nitride (SiNx) which can form by the silicon nitride formed with the coat which uses as a principal component the organic glass which uses silicon oxide as a principal component, and the silicon oxide which forms by the spreading-calcinating method, vacuum deposition, the sputtering method, a CVD method, etc., silicon oxide, the polyimide which is a transparence thermally stable polymer, polyamidoimide, glass, a ceramic precursor polymer, etc., and is especially formed with a CVD method from the point of a semi-conductor electrical property.

[0037] Semi-conductor layer 6a can be formed with an amorphous silicon (a-Si). Moreover, contact layer (n+a-Si:H) 7a is the layer which doped the high-concentration impurity to silicon, and it is prepared in order to raise a flow with semi-conductor layer 6a, and source electrode layer 8a and drain electrode layer 9a. In the thin film transistor of this invention, a configuration which does not have the above-mentioned contact layer may be used, and this is the same also about the thin film transistor described below.

[0038] Drawing 2 is the top view showing a part of structures of the active-matrix substrate of this invention which can be used for a liquid crystal display. In drawing 2 an active matrix 11 Gate electrode layer 4a which is extended to the longitudinal direction of drawing and which is arranged at equal intervals like, It has source electrode layer 8a which intersects this gate electrode layer 4a in three dimensions, and is extended in the vertical direction of drawing and which is arranged at equal intervals like. Each partition on the matrix surrounded by gate electrode layer 4a and source electrode layer 8a serves as a pixel field, and the pixel electrode 14 is arranged in each pixel field. The above-mentioned gate electrode layer 4a is equipped with the part projected down the drawing in each pixel field, this part

forms the gate electrode layer of a thin film transistor T1, and source electrode layer 8a is equipped with the part projected rightward [ of drawing ] in each pixel field, and this part forms the source electrode layer of a thin film transistor T1. On the other hand, the upper left part of each pixel electrode 14 is equipped with the part projected leftward [ of drawing ], and this part forms the drain electrode layer of a thin film transistor T1.

[0039] Drawing 3 shows the active-matrix substrate concerning the 1st example of this invention which used the thin film transistor T1 shown in drawing 1 , and is an outline sectional view in the X-X cutting plane line of drawing 2 . In drawing 3 , the active-matrix substrate 11 is an active-matrix substrate of a transparency mold, and is equipped with the transparency substrate 12, two or more thin film transistors T1 formed in the shape of a matrix through the transparency glue line 13 formed on the transparency substrate 12, and two or more transparency pixel electrodes 14 formed in the shape of a matrix so that it might connect with drain electrode layer 9a of this thin film transistor T1. A thin film transistor T1 is a flat configuration in which it consists of gate electrode layer 4a, gate insulating-layer 5a, semi-conductor layer 6a, contact layer 7a, source electrode layer 8a, and drain electrode layer 9a as mentioned above, and any layer does not have a level difference. Moreover, the transparency pixel electrode 14 is formed in the predetermined field on gate insulating-layer 5a between each thin film transistor T1.

[0040] In the above-mentioned active-matrix substrate 11, the transparency base material 12 is the film which fabricated resin, such as a polycarbonate, polyarylate, polyether sulphone, a denaturation acrylic or polymethacrylate, epoxy, APO (trademark), ZEONEX (trademark), and ARTON (trademark), and about 100-1000 micrometers of thickness are [ the base material ] desirable. Moreover, substrates, such as glass and ceramics, can also be used. In the conventional active-matrix substrate, expensive low alkali glass, quartz glass, etc. were used as a transparency base material which forms a thin film transistor in the shape of a matrix. This was for preventing that thermal diffusion of the formed alkali of a transparency base material etc. is carried out to an active element, and the property of an active element deteriorates in the elevated-temperature process at the time of forming a thin film transistor. However, in this invention, since a direct thin film transistor is not formed on the transparency base material 12 so that it may mention later, the limit to the transparency base material 12 can be decreased sharply.

[0041] Moreover, the transparency glue line 13 can be formed with a solvent mold pressure sensitive adhesive, ultraviolet curing mold adhesives, etc. which used acrylic ester resin excellent in weatherability, transparency, and chemical resistance as the principal component. The thickness of such a transparency glue line 13 has desirable about 0.1-20 micrometers.

[0042] The transparency pixel electrode 14 is formed by forming transparent conductive matter, such as indium tin oxide (ITO), tin oxide (NESA), and a zinc oxide, (200-2000Å in thickness) by well-known approaches, such as for example, the sputtering method, vacuum evaporation technique, and a CVD method.

[0043] Next, manufacture of the active-matrix substrate 11 shown in drawing 2 and drawing 3 R> 3 in the manufacture approach of the thin film transistor of this invention and an active-matrix substrate is made into an example, and it explains. Drawing 4 and drawing 5 are process drawings for explaining an example of the manufacture approach of the active-matrix substrate 11 equipped with the thin film transistor T1 by this invention. First, the metal deposit 23 is formed possible [ exfoliation ] on the heat-resistant support substrate 22, continuation membrane formation of the electrode layer 25 for a drain electrode and source electrodes, the contact layer 26, the semi-conductor layer 27, the gate insulating layer 28, and the electrode layer 29 for gate electrodes is carried out in this sequence through a protective layer 24 on this metal deposit 23, and the multilayer object 21 is produced ( drawing 4 (A)). Although high temperature processing (about 200-350 degrees C) is made in the production phase of this multilayer object 21, it is prevented that deformation arises in a layered product 21 with the heat-resistant support substrate 22. Therefore, production of this layered product 21 can be performed, using

the manufacture process technique of an active element and facility which are established with the conventional glass substrate as it is.

[0044] The heat-resistant support substrate 22 can use what formed metal thin films, such as titanium, chromium, nickel, a tungsten, and a tantalum, by sputtering etc. on the glass substrate, an SUS substrate, the Invar alloy (nickel/Fe=36/64) substrate, etc. that for a front face (forming face side of the metal deposit 23) to be conductivity at least, and what is necessary is just that the configuration and whose dimension are stable also in heating at about 350 degrees C. The thickness of this heat-resistant support substrate 22 has about 1–3 desirable mm. Moreover, to the above-mentioned heat-resistant support substrate 22, a moderate adhesive property can be shown, and the metal deposit 23 can exfoliate, and can choose suitably these alloys, such as nickel, copper, chromium, zinc, tin, and iron, etc. from relation with the charge of facing of the heat-resistant support substrate 22. The thickness of such a metal deposit 23 has desirable about 1–100 micrometers. In addition, although the metal deposit 23 needs to show a moderate adhesive property and detachability to the heat-resistant support substrate 22 as mentioned above, when what performed nickel plating to the SUS430BA material which fully ground the front face, for example as a heat-resistant support substrate 22 is used, especially since the heat-resistant support substrate 22 has a moderate adhesive property and detachability to the metal deposit 23, it is satisfactory [ the substrate ]. When the Invar alloy is used and nickel plating is performed to this as a metal deposit 23 as a heat-resistant support substrate 22, it becomes impossible moreover, for both to exfoliate. In this case, exfoliation can be made possible by carrying out passivation processing of the front face of the Invar alloy beforehand. As an example of passivation processing of the Invar alloy, the Invar alloy is immersed into the water solution of 50 g/l of an economy cleaner (the product made from MURATA, 12 % of the weight of sodium phosphates, 41 % of the weight of silicate of soda, 42.5 % of the weight of sodium carbonate, 4.5 % of the weight of anion activators), and it is 1 mA/cm<sup>2</sup>. Performing processing for 10 minutes with current density is mentioned. Moreover, passivation processing is possible also at anodic oxidation by the citric-acid water solution.

[0045] A protective layer 24 is a layer for protecting the electrode layer 25 from an etching reagent in the removal process of the metal deposit 23 which is mentioned later, for example, can be formed with organic glass, the coating glass formed by the spreading-calcinating method, silicon nitride, silicon oxide, a polyamide, polyimide, etc., and can set thickness to about 1–10 micrometers. In addition, when there is no bad influence in the electrode layer 25 in the removal process of the metal deposit 23, it is not necessary to form a protective layer 24.

[0046] In the thickness of the electrode layer 25 the above-mentioned drain electrode and for source electrodes, the thickness of about 0.1–1 micrometer and the contact layer 26 can set thickness of the electrode layer 29 of the for [ thickness / of about 0.01–0.1 micrometers and the semi-conductor layer 27 ] about 0.05–0.2 micrometers and for gate electrodes in about 0.1–0.5 micrometers and the thickness of the gate insulating layer 28 to about 0.05–0.2 micrometers.

[0047] After the manufacture approach of the thin film transistor of this invention and an active-matrix substrate produces the above multilayer objects 21, it carries out patterning of the electrode layer 29 for the gate electrodes of the maximum upper layer, and forms gate electrode layer 4a by the predetermined pattern ( drawing 4 (B) ). Next, the gate electrode layer 4a formation side of the above-mentioned multilayer object 21 is pasted up on the transparence substrate 12 through the transparence glue line 13 ( drawing 4 (C) ). Formation of this transparence glue line 13 can be performed by the spinner coat or print processes.

[0048] At the process after this, since there is nothing, a heating-at-high-temperature process exfoliates in the interface of the heat-resistant support substrate 22 and the metal deposit 23 by the mechanical exfoliation approach, removes the metal deposit 23 by etching, further, removes a protective layer 24 and imprints the electrode layer 25, the contact layer 26, the semi-conductor layer 27, the gate insulating layer 28, and the gate electrode layer 4 for a drain electrode and source electrodes on the transparence substrate 12 ( drawing 4 (D) ).

[0049] If the metal deposit 23 is nickel, the wet etching using a ferric chloride water solution can perform removal by etching of the above-mentioned metal deposit 23.

[0050] Next, patterning of the electrode layer 25 for a drain electrode and source electrodes, the contact layer 26, and the semi-conductor layer 27 is carried out, it considers as an island, and contact layer 7a corresponding to each thin film transistor and semi-conductor layer 6a are formed ( drawing 5 (A)). Furthermore, patterning of the electrode layer 25 for a drain electrode and source electrodes is carried out, and source electrode layer 8a and drain electrode layer 9a are formed ( drawing 5 (B)). Then, the thin film transistor T1 which consisted of flat each class of gate electrode 4a, gate insulating-layer 5a (28), semi-conductor layer 6a, contact layer 7a, source electrode layer 8a, and drain electrode layer 9a is produced by removing contact layer 7a of the channel section (field where the laminating of source electrode layer 8a and the drain electrode layer 9a is not carried out) ( drawing 5 (C)). Subsequently, the transparence pixel electrode 14 is formed in the predetermined field of gate insulating-layer 5a between each thin film transistor T1, and the active-matrix substrate 11 is produced so that it may connect with drain electrode layer 9a ( drawing 5 (D)).

[0051] In the case of a reflective mold, a pixel electrode may be opaque, although the active-matrix substrate 11 shown in drawing 3 needs to be transparent since it is a transparency mold. [ of a pixel electrode ] Furthermore, in the case of a reflective mold, a pixel electrode may not be formed apart from production of a thin film transistor like the above-mentioned manufacture approach, but you may form in production and coincidence of a thin film transistor. The manufacture approach of the active-matrix substrate of such this invention is explained with reference to drawing 6 . First, after imprinting the electrode layer 25, the contact layer 26, the semi-conductor layer 27, the gate insulating layer 28, and the gate electrode layer 4 for a drain electrode and source electrodes on the transparence substrate 12 like the above-mentioned manufacture approach ( drawing 4 (D)), Patterning of the electrode layer 25 for a drain electrode and source electrodes, the contact layer 26, and the semi-conductor layer 27 is carried out, it considers as an island, and contact layer 7a corresponding to each thin film transistor and the combination of a pixel and semi-conductor layer 6a are formed ( drawing 6 (A)). Next, although patterning of the electrode layer 25 for a drain electrode and source electrodes is carried out and source electrode layer 8a and drain electrode layer 9a are formed ( drawing 6 (B)), drain electrode layer 9a is taken as a pattern which serves also as a pixel electrode in this case. Then, by removing contact layer 7a of the channel section (field where the laminating of source electrode layer 8a and the drain electrode layer 9a is not carried out) Gate electrode 4a, gate insulating-layer 5a (28), semi-conductor layer 6a, contact layer 7a, The active-matrix substrate 11 equipped with the pixel electrode 14 of drain electrode layer 9a and one is produced at the same time it produces the thin film transistor T1 which consisted of flat each class of source electrode layer 8a and drain electrode layer 9a ( drawing 6 (C)).

[0052] Drawing 7 is the outline sectional view showing the 2nd example of the active-matrix substrate equipped with the thin film transistor of this invention, and its thin film transistor in the shape of a matrix. The structure of this active-matrix substrate is equivalent to the structure \*\*2\*\*(ed) fundamentally. drawing 7 -- it is and the active-matrix substrate 31 is equipped with two or more thin film transistors T2 formed in the shape of a matrix through the transparence glue line 33 formed on the transparence substrate 32 and the transparence substrate 32, and two or more transparence pixel electrodes 34 formed in the shape of a matrix so that it might connect with drain electrode layer 9b of this thin film transistor T2. Gate electrode layer 4b by which the thin film transistor T2 was evenly formed in the front face of the transparence glue line 33, Semi-conductor layer 6b and contact layer 7b which were formed by the predetermined pattern on gate insulating-layer 5b formed on the transparence glue line 33, and this gate insulating-layer 5b, It consists of source electrode layer 8b and drain electrode layer 9b which were formed so that it might connect with semi-conductor layer 6b through this contact layer 7b, respectively. And gate insulating-layer 5b, semi-conductor layer 6b, and contact layer 7b are flat configurations in which any layer does not have a level difference. Moreover,



the transparency pixel electrode 34 is formed in the predetermined field on gate insulating-layer 5b between each thin film transistor T2.

[0053] The transparency substrate 32, the transparency glue line 33, and the transparency pixel electrode 34 which constitute the above-mentioned active-matrix substrate 31 can be formed with the same ingredient as the transparency substrate 12 of the above-mentioned active-matrix substrate 11, the transparency glue line 13, and the transparency pixel electrode 14. Moreover, each class which constitutes a thin film transistor T2 can be formed with the same ingredient as the layer which constitutes the above-mentioned thin film transistor T1.

[0054] Next, the manufacture approach of the thin film transistor T2 of this invention as shown in drawing 7 , and the active-matrix substrate 31 is explained with reference to drawing 8 and drawing 9 . First, the metal deposit 43 is formed possible [ exfoliation ] on the heat-resistant support substrate 42, continuation membrane formation of the contact layer 46, the semi-conductor layer 47, the gate insulating layer 48, and the electrode layer 49 for gate electrodes is carried out in this sequence on this metal deposit 43, and the multilayer object 41 is produced ( drawing 8 (A)). Since the electrode layer for a drain electrode and source electrodes is not formed and also it is producible like the above-mentioned multilayer object 21, this multilayer object 41 omits detailed explanation. Moreover, the same is said of the point that it is prevented at high temperature processing (about 200–350 degrees C) in the production phase of the multilayer object 41 that deformation arises in a layered product 41 with the heat-resistant support substrate 42, and production of a layered product 41 can be performed, using the manufacture process technique of an active element and facility which are established with the conventional glass substrate as it is.

[0055] Next, patterning of the electrode layer 49 for the gate electrodes of the maximum upper layer of the multilayer object 41 is carried out, and gate electrode layer 4b is formed by the predetermined pattern ( drawing 8 (B)). Next, the gate electrode layer 4b formation side of the above-mentioned multilayer object 41 is pasted up on the transparency substrate 32 through the transparency glue line 33 ( drawing 8 (C)). Formation of this transparency glue line 33 can be performed by the spinner coat or print processes.

[0056] At the process after this, since there is no heating-at-high-temperature process, it exfoliates in the interface of the heat-resistant support substrate 42 and the metal deposit 43 by the mechanical exfoliation approach, removes the metal deposit 43 by etching, and imprints the contact layer 46, the semi-conductor layer 47, the gate insulating layer 48, and gate electrode layer 4b on the transparency substrate 32 further ( drawing 8 (D)).

[0057] Removal by etching of the above-mentioned metal deposit 43 can be performed like removal of the above-mentioned metal deposit 23.

[0058] Next, patterning of the contact layer 46 and the semi-conductor layer 47 is carried out, it considers as an island, and contact layer 7b corresponding to each thin film transistor and semi-conductor layer 6b are formed ( drawing 9 (A)). Source electrode layer 8b and drain electrode layer 9b are formed by the predetermined pattern with membrane formation means, such as sputtering, ( drawing 9 (B)). Then, subsequently A part of contact layer 7b is removed, and the thin film transistor T2 which consisted of gate electrode 4b, gate insulating-layer 5b (48), semi-conductor layer 6b, contact layer 7b, source electrode layer 8b, and drain electrode layer 9b is produced ( drawing 9 (C)). In this thin film transistor T2, gate electrode 4b, gate insulating-layer 5b (48), semi-conductor layer 6b, and contact layer 7b are flat layers, and the step covering ledge in the level difference part of the conventional thin film transistor does not pose a problem. However, although source electrode layer 8b and drain electrode layer 9b have the danger that an open circuit will occur compared with the above-mentioned active-matrix substrate 11 since they are formed in the level difference part in which semi-conductor layer 6b and contact layer 7b were formed by means, such as sputtering Even if an open circuit arises, it will not become out of control [ per the train unit of the thin film transistor arranged in the shape of a matrix like the conventional active-matrix substrate, or line ] only by only one thin film transistor

becoming poor.

[0059] Subsequently, the transparency pixel electrode 34 is formed in the predetermined field on gate insulating-layer 5b between each thin film transistor T2, and the active-matrix substrate 31 is produced so that it may connect with drain electrode layer 9b ( drawing 9 (D)).

[0060] In addition, in the case of a reflective mold, a pixel electrode may be opaque, although the active-matrix substrate 31 shown in drawing 7 needs to be transparent since it is a transparency mold. [ of a pixel electrode ] Furthermore, in the case of a reflective mold, a pixel electrode may also be formed in one at drain electrode layer 9b and coincidence at the time of formation of drain electrode layer 9b by sputtering in the above-mentioned manufacture approach etc. ( drawing 9 (B)).

[0061] Drawing 10 is the outline sectional view showing the 3rd example of the active-matrix substrate equipped with the thin film transistor of this invention, and its thin film transistor in the shape of a matrix. The structure of this active-matrix substrate is equivalent to the structure ~~\*\*2\*\*~~(ed) fundamentally. The active-matrix substrate 51 is equipped with two or more thin film transistor T3 formed in the shape of a matrix through the transparency glue line 53 formed on the transparency substrate 52 and the transparency substrate 52, and two or more transparency pixel electrodes 54 formed in the shape of a matrix so that it might connect with drain electrode layer 9c of this thin film transistor T3 in drawing 10 . It is prepared evenly and thin film transistor T3 is constituted so that only gate electrode layer 4c may project [ the laminating section to which it comes to carry out the laminating of gate electrode layer 4c, gate insulating-layer 5c, semi-conductor layer 6c, contact layer 7c, source electrode layer 8c, and the drain electrode layer 9c by the predetermined pattern as a flat layer ] in the front-face side of the transparency glue line 53. Moreover, the transparency pixel electrode 54 is the front face of the transparency glue line 53, and is formed in the predetermined field between each thin film transistor T3.

[0062] The transparency substrate 52, the transparency glue line 53, and the transparency pixel electrode 54 which constitute the above-mentioned active-matrix substrate 51 can be formed with the same ingredient as the transparency substrate 12 of the above-mentioned active-matrix substrate 11, the transparency glue line 13, and the transparency pixel electrode 14. Moreover, each class which constitutes thin film transistor T3 can be formed with the same ingredient as the configuration layer of the above-mentioned thin film transistor T1.

[0063] Next, thin film transistor T3 of this invention as shown in drawing 10 , and the manufacture approach of the active-matrix substrate 51 are explained with reference to drawing 12 and drawing 13 . First, the metal deposit 63 is formed possible [ exfoliation ] on the heat-resistant support substrate 62, continuation membrane formation of the electrode layer 69 for gate electrodes, the gate insulating layer 68, the semi-conductor layer 67, the contact layer 66, and the electrode layer 65 for a drain electrode and source electrodes is carried out in this sequence through a protective layer 64 on this metal deposit 63, and the multilayer object 61 is produced ( drawing 12 (A) ). Since it is producible like the above-mentioned multilayer object 21 only by built-up sequence differing, this multilayer object 61 omits detailed explanation. Moreover, the same is said of the point that it is prevented at high temperature processing (about 200-350 degrees C) in the production phase of the multilayer object 61 that deformation arises in a layered product 61 with the heat-resistant support substrate 62, and production of a layered product 61 can be performed, using the manufacture process technique of an active element and facility which are established with the conventional glass substrate as it is.

[0064] In the two examples of the manufacture approach of an above-mentioned thin film transistor and an active-matrix substrate, processing of each class of the multilayer objects 21 and 41 is performed after imprinting to a transparency substrate, but in this example, before the imprint to a transparency substrate, it is processed to the multilayer object 61. That is, first, patterning of the electrode layer 65, the contact layer 66, the semi-conductor layer 67, and the gate insulating layer 68 for a drain electrode and source electrodes is carried out, it considers as an island, and contact layer 7c corresponding to each thin film transistor, semi-conductor layer 6c, and gate insulating-layer 5c are formed ( drawing 12

(B)). Then, patterning of the electrode layer 65 for a drain electrode and source electrodes is carried out, and source electrode layer 8c and drain electrode layer 9c are formed ( drawing 12 (C)). Next, the transference pixel electrode 54 is formed in the predetermined field on the electrode layer 69 for the gate electrodes between each thin film transistor T3 so that a field may be removed and contact layer 7c of the channel section (field where the laminating of source electrode layer 8c and the drain electrode layer 9c is not carried out) may be connected to each drain electrode layer 9c ( drawing 13 (A)).

[0065] Next, a source electrode layer 8c [ of the multilayer object 61 ] and drain electrode layer 9c formation side is pasted up on the transference substrate 52 through the transference glue line 53 ( drawing 13 (B)). Formation of this transference glue line 53 can be performed by the spinner coat or print processes.

[0066] At the process after this, since there is no heating-at-high-temperature process, exfoliate in the interface of the heat-resistant support substrate 62 and the metal deposit 63 by the mechanical exfoliation approach, etching removes the metal deposit 63, and a protective layer 64 is removed further. The electrode layer 69 for gate electrodes, gate insulating-layer 5c, semi-conductor layer 6c, contact layer 7c, source electrode layer 8c, drain electrode layer 9c, and the transference pixel electrode 54 are imprinted on the transference substrate 52 ( drawing 13 (C)). Then, the active-matrix substrate 51 ( drawing 10 ) of the transparency mold equipped with thin film transistor T3 which consisted of flat each class of gate electrode 4c, gate insulating-layer 5c, semi-conductor layer 6c, contact layer 7c, drain electrode layer 8c, and source electrode layer 9c is produced by carrying out patterning of the electrode layer 69 for gate electrodes by the predetermined pattern so that it may not remain to a pixel field, and forming gate electrode layer 4c.

[0067] In this active-matrix substrate 51, gate electrode 4c which constitutes thin film transistor T3, gate insulating-layer 5c, semi-conductor layer 6c, contact layer 7c, source electrode layer 8c, and drain electrode layer 9c are layers flat as mentioned above, and the step covering ledge in the level difference part of the conventional thin film transistor does not pose a problem.

[0068] In addition, in the case of a reflective mold, a pixel electrode may be opaque, although the active-matrix substrate 51 shown in drawing 10 needs to be transparent since it is a transparency mold. [ of a pixel electrode ] Furthermore, in the case of a reflective mold, in patterning of the electrode layer 69 for gate electrodes in the above-mentioned manufacture approach, the electrode layer 69 can be removed so that gate electrode layer 4c may be formed, and it can also consider as the active-matrix substrate 51 which made the electrode layer 69 remain on a pixel field as shown in drawing 11 .

[0069] Drawing 14 is the outline sectional view showing the 4th example of the active-matrix substrate equipped with the thin film transistor of this invention, and its thin film transistor in the shape of a matrix. The structure of this active-matrix substrate is equivalent to the structure ~~\*\*2\*\*~~(ed) fundamentally. The active-matrix substrate 71 is equipped with two or more thin film transistor T four formed in the shape of a matrix through the transference glue line 73 formed on the transference substrate 72 and the transference substrate 72, and two or more transference pixel electrodes 74 formed in the shape of a matrix so that it might connect with 9d of drain electrode layers of this thin film transistor T four in drawing 14 . Thin film transistor T four by the predetermined pattern as a flat layer 4d of gate electrode layers, The laminating of 5d of gate insulating layers, 6d of semi-conductor layers, and the 7d of the contact layers is carried out. Further It is prepared evenly and the laminating section to which the laminating of 8d of source electrode layers and the 9d of the drain electrode layers is carried out and which they become so that it may connect with 6d of semi-conductor layers through 7d of contact layers is constituted so that only 4d of gate electrode layers may project in the front-face side of the transference glue line 73. Moreover, the transference pixel electrode 74 is the front face of the transference glue line 73, and is formed in the predetermined field between each thin film transistor T four.

[0070] The transference substrate 72, the transference glue line 73, and the transference pixel

electrode 74 which constitute the above-mentioned active-matrix substrate 71 can be formed with the same ingredient as the transparency substrate 12 of the above-mentioned active-matrix substrate 11, the transparency glue line 13, and the transparency pixel electrode 14. Moreover, each class which constitutes thin film transistor T four can be formed with the same ingredient as the layer which constitutes the above-mentioned thin film transistor T1.

[0071] Next, thin film transistor T four of this invention as shown in drawing 14 , and the manufacture approach of the active-matrix substrate 71 are explained with reference to drawing 15 and drawing 16 . First, the metal deposit 83 is formed possible [ exfoliation ] on the heat-resistant support substrate 82, continuation membrane formation of the electrode layer 89, the gate insulating layer 88, the semi-conductor layer 87, and the contact layer 86 for gate electrodes is carried out in this sequence through a protective layer 84 on this metal deposit 83, and the multilayer object 81 is produced ( drawing 15 (A)). Since the electrode layer for a drain electrode and source electrodes is not formed and also it is producible like the above-mentioned multilayer object 61, this multilayer object 81 omits detailed explanation. Moreover, the same is said of the point that it is prevented at high temperature processing (about 200–350 degrees C) in the production phase of the multilayer object 81 that deformation arises in a layered product 81 with the heat-resistant support substrate 82, and production of a layered product 81 can be performed, using the manufacture process technique of an active element and facility which are established with the conventional glass substrate as it is.

[0072] This example as well as the above-mentioned multilayer object 61 processes it to the multilayer object 81, before the imprint to a transparency substrate. That is, first, patterning of the contact layer 86, the semi-conductor layer 87, and the gate insulating layer 88 is carried out, it considers as an island, and each 6d of semi-conductor layers and 5d of gate insulating layers corresponding to a thin film transistor are formed ( drawing 15 (B)). Then, 8d of source electrode layers and 9d of drain electrode layers which consist of a metal conductor so that it may connect with the contact layer 86 are formed by the predetermined pattern with membrane formation means, such as sputtering, ( drawing 15 (C)).

[0073] Next, the transparency pixel electrode 74 is formed in the predetermined field on the electrode layer 89 for the gate electrodes between each thin film transistor T four so that a field may be removed and 7d of contact layers of the channel section (field where the laminating of 8d of source electrode layers and the 9d of the drain electrode layers is not carried out) may be connected to 9d of each drain electrode layer ( drawing 16 (A)).

[0074] Next, 8d [ of source electrode layers of the multilayer object 81 ] and 9d formation side of drain electrode layers is pasted up on the transparency substrate 72 through the transparency glue line 73 ( drawing 16 (B)). Formation of this transparency glue line 73 can be performed by the spinner coat or print processes.

[0075] At the process after this, since there is no heating-at-high-temperature process, exfoliate in the interface of the heat-resistant support substrate 82 and the metal deposit 83 by the mechanical exfoliation approach, etching removes the metal deposit 83, and a protective layer 84 is removed further. The electrode layer 89, 5d of gate insulating layers, 6d of semi-conductor layers, 7d of contact layers, 8d of source electrode layers, 9d of drain electrode layers, and the transparency pixel electrode 74 for gate electrodes are imprinted on the transparency substrate 72 ( drawing 16 (C)). Then, the active-matrix substrate 71 ( drawing 14 ) of the transparency mold equipped with thin film transistor T four which consisted of each class of 4d of gate electrodes, 5d of gate insulating layers, 6d of semi-conductor layers, 7d of contact layers, 8d of drain electrode layers, and 9d of source electrode layers is produced by carrying out patterning of the electrode layer 89 for gate electrodes by the predetermined pattern so that it may not remain to a pixel field, and forming 4d of gate electrode layers.

[0076] In this active-matrix substrate 71, 4d of gate electrodes which constitute thin film transistor T four, 5d of gate insulating layers, 6d of semi-conductor layers, and 7d of contact layers are flat layers, and the step covering ledge in the level difference part of the conventional thin film transistor does not pose a problem. However, although they have the danger of open-circuit generating compared with the

above-mentioned active-matrix substrate 51 since 8d of source electrode layers and 9d of drain electrode layers are formed in the level difference part in which 6d of semi-conductor layers and 7d of contact layers were formed by membrane formation means, such as sputtering. Even if an open circuit arises, it will not become out of control [ per the train unit of the thin film transistor arranged in the shape of a matrix like the conventional active-matrix substrate, or line ] only by only one thin film transistor becoming poor.

[0077] In addition, transparence pixel electrode formation with the formation process ( drawing 16 (A) ) of the transparence pixel electrode 74 in the above-mentioned manufacture approach can be omitted, the transparence pixel electrode 74 can be formed after patterning of the electrode layer 89 for gate electrodes, and it can also consider as the active-matrix substrate (refer to drawing 17 ) of a transparency mold.

[0078] Drawing 18 is the top view showing a part of structures of the active-matrix substrate which can be used for a liquid crystal display. In drawing 18 an active matrix 91 Gate electrode layer 4e which is extended to the longitudinal direction A of drawing and which is arranged at equal intervals like, It has source electrode layer 8e which intersects this gate electrode layer 4e in three dimensions, and is extended in the vertical direction B of drawing and which is arranged at equal intervals like. Each partition on the matrix surrounded by gate electrode layer 4e and source electrode layer 8e serves as a pixel field, and the pixel electrode 94 is arranged in each pixel field. The above-mentioned source electrode layer 8e is the common source electrode of each thin film transistor T5, and it has rightward [ of drawing ] the part projected in the L character mold in each pixel field, and the part which intersects gate electrode layer 4e in three dimensions forms the source electrode layer of a thin film transistor T5. On the other hand, the upper left part of each pixel electrode 94 is equipped with the part projected so that gate electrode layer 4e might be intersected in three dimensions above [ of drawing ], and this part forms the drain electrode layer of a thin film transistor T5.

[0079] Drawing 19 shows the 5th example of the active-matrix substrate of this invention which used the thin film transistor T5 shown in drawing 18 , and is an outline sectional view in the X-X cutting plane line of drawing 18 , and, similarly drawing 20 is an outline sectional view in a Y-Y cutting plane line. In drawing 19 and drawing 20 , the active-matrix substrate 91 is an active-matrix substrate of a reflective mold, and is equipped with the transparence substrate 92, the thin film transistor T5 of 2 so-called S-TFT structures formed through the transparence glue line 93 formed on the transparence substrate 92, and drain electrode layer 9e of this thin film transistor T5 and the pixel electrode 94 formed in one. As a flat layer, on gate electrode layer 4e, gate insulating-layer 5e, and this gate insulating-layer 5e, the laminating of semi-conductor layer 6e, contact layer 7e, source electrode layer 8e, and the drain electrode layer 9e is carried out, and the thin film transistor T5 is constituted from the predetermined pattern by the predetermined pattern.

[0080] Next, the manufacture approach of the thin film transistor T5 of this invention as shown in drawing 19 and drawing 20 , and the active-matrix substrate 91 is explained with reference to drawing 21 and drawing 22 . In addition, drawing 21 and drawing 22 are process drawings for explaining an example of the manufacture approach of the active-matrix substrate 91 equipped with the thin film transistor T5 by this invention, drawing 21 supports to drawing 19 , and drawing 22 supports drawing 20 , respectively. First, the metal deposit 103 is formed possible [ exfoliation ] on the heat-resistant support substrate 102, continuation membrane formation of the electrode layer 105 for a drain electrode and source electrodes, the contact layer 106, the semi-conductor layer 107, the gate insulating layer 108, and the electrode layer 109 for gate electrodes is carried out in this sequence through a protective layer 104 on this metal deposit 103, and the multilayer object 101 is produced ( drawing 21 (A), drawing 22 (A) ). Since it is producible like the above-mentioned multilayer object 21, this multilayer object 101 omits detailed explanation. Moreover, the same is said of the point that it is prevented at high temperature processing (about 200-350 degrees C) in the production phase of the multilayer object 101 that deformation arises in a layered product 101 with the heat-resistant support substrate 102, and

production of this layered product 101 can be performed, using the manufacture process technique of an active element and facility which are established with the conventional glass substrate as it is. [0081] Next, patterning of the electrode layer 109 for the gate electrodes of the maximum upper layer of the multilayer object 101 is carried out, and gate electrode layer 4e is formed by the predetermined pattern, next the gate electrode layer 4e formation side of the above-mentioned multilayer object 101 is pasted up on the transparence substrate 92 through the transparence glue line 93 ( drawing 21 (B), drawing 22 (B)). In addition, at the process after this, since there is nothing, a heating-at-high-temperature process exfoliates in the interface of the heat-resistant support substrate 102 and the metal deposit 103 by the mechanical exfoliation approach in this phase, removes the metal deposit 103 by etching, further, removes a protective layer 104 and imprints only the electrode layer 105 for a drain electrode and source electrodes, the contact layer 106, the semi-conductor layer 107, the gate insulating layer 108, and gate electrode layer 4e on the transparence substrate 92.

[0082] Next, patterning of the electrode layer 105 for a drain electrode and source electrodes, the contact layer 106, and the semi-conductor layer 107 is carried out, it considers as an island, and semi-conductor layer 6e and contact layer 7e corresponding to each thin film transistor are formed ( drawing 21 (C), drawing 22 (C)). Then, patterning of the electrode layer 105 for a drain electrode and source electrodes is carried out, and source electrode layer 8e and drain electrode layer 9e are formed on the same flat surface ( drawing 21 (D), drawing 22 (D)). In this case, drain electrode layer 9e is located between two source electrode layer 8e, 2 so-called S-TFT structures are constituted, and the pixel electrode 94 is formed in one with drain electrode layer 9e. Subsequently, contact layer 7e of the channel section is removed, and the active-matrix substrate 91 ( drawing 19 , drawing 20 R> 0) equipped with the thin film transistor T5 which consisted of gate electrode 4e, gate insulating-layer 5e (108), semi-conductor layer 6e, contact layer 7e, source electrode layer 8e, and drain electrode layer 9e is produced. In this thin film transistor T5, gate electrode 4e, gate insulating-layer 5e (108), semi-conductor layer 6e, contact layer 7e, source electrode layer 8e, and drain electrode layer 9e are flat layers, and the step covering ledge in the level difference part of the conventional thin film transistor does not pose a problem. Moreover, since two source electrode 8e exists, a channel will be formed in the both sides of drain electrode layer 9e.

[0083] Drawing 23 and drawing 24 are the outline sectional views showing the 6th example of the active-matrix substrate equipped with the thin film transistor of this invention, and its thin film transistor in the shape of a matrix. The structure of this active-matrix substrate is equivalent to the structure shown drawing 18 fundamentally, and, similarly the outline sectional view in the X-X cutting plane line of the active-matrix substrate of this invention with which drawing 23 is shown in drawing 18 , and drawing 24 are equivalent to the outline sectional view in a Y-Y cutting plane line. The active-matrix substrate 111 is equipped with the so-called thin film transistor T6 of 2 S-TFT structures formed through the transparence glue line 113 formed on the transparence substrate 112 and the transparence substrate 112, and the pixel electrode 114 formed in 9f of drain electrode layers of this thin film transistor T6 in one in drawing 23 and drawing 24 . It is prepared and the thin film transistor T6 is constituted so that 4f side of gate electrode layers of the transparence glue line 113 may project [ the laminating section to which it comes to carry out the laminating of 4f of gate electrode layers, 5f of gate insulating layers, 6f of semi-conductor layers, 7f of contact layers, 8f of source electrode layers, and the 9f of the drain electrode layers by the predetermined pattern as a flat layer ]. Moreover, the pixel electrode 114 is the front face of the transparence glue line 113, and is formed in the predetermined field between each thin film transistor T6.

[0084] The transparence substrate 112, the transparence glue line 113, and the pixel electrode 114 which constitute the above-mentioned active-matrix substrate 111 can be formed with the same ingredient as the transparence substrate 12 of the above-mentioned active-matrix substrate 11, the transparence glue line 13, and the transparence pixel electrode 14. Moreover, each class which constitutes a thin film transistor T6 can be formed with the same ingredient as the configuration layer of

the above-mentioned thin film transistor T1.

[0085] Next, the manufacture approach of the thin film transistor T6 of this invention as shown in drawing 23 and drawing 24 , and the active-matrix substrate 111 is explained with reference to drawing 25 and drawing 26 . In addition, drawing 25 and drawing 26 are process drawings for explaining an example of the manufacture approach of the active-matrix substrate 111 equipped with the thin film transistor T6 by this invention, drawing 25 supports to drawing 23 , and drawing 26 supports drawing 24 , respectively. First, the metal deposit 123 is formed possible [ exfoliation ] on the heat-resistant support substrate 122, continuation membrane formation of the electrode layer 129 for gate electrodes, the gate insulating layer 128, the semi-conductor layer 127, the contact layer 126, and the electrode layer 125 for a drain electrode and source electrodes is carried out in this sequence through a protective layer 124 on this metal deposit 123, and the multilayer object 121 is produced ( drawing 25 (A), drawing 26 (A)). Since it is producible like the above-mentioned multilayer object 21 only by built-up sequence differing, this multilayer object 121 omits detailed explanation. Moreover, the same is said of the point that it is prevented at high temperature processing (about 200–350 degrees C) in the production phase of the multilayer object 121 that deformation arises in a layered product 121 with the heat-resistant support substrate 122, and production of a layered product 121 can be performed, using the manufacture process technique of an active element and facility which are established with the conventional glass substrate as it is.

[0086] Next, before the imprint to a transparence substrate, it is processed to the multilayer object 121. That is, first, patterning of the electrode layer 125 for a drain electrode and source electrodes and the contact layer 66 is carried out, it considers as an island, and each 8f of source electrode layers, 9f of drain electrode layers, and 7f of contact layers corresponding to a thin film transistor are formed ( drawing 25 (B), drawing 26 (B)). In this case, 9f of drain electrode layers is located between 8f of two source electrode layers, 2 so-called S-TFT structures are constituted, and the pixel electrode 114 is formed in one with 9f of drain electrode layers.

[0087] Next, 8f [ of source electrode layers of the multilayer object 121 ] and 9f formation side of drain electrode layers is pasted up on the transparence substrate 112 through the transparence glue line 113 ( drawing 25 (C), drawing 26 (C)). Formation of this transparence glue line 113 can be performed by the spinner coat or print processes. In addition, at the process after this, since there is no heating-at-high-temperature process, it exfoliates by the mechanical exfoliation approach in this phase at the interface of the heat-resistant support substrate 122 and the metal deposit 123. Etching removes the metal deposit 123, further, a protective layer 124 is removed and the electrode layer 129, the gate insulating layer 128, the semi-conductor layer 127, 7f of contact layers, 8f of source electrode layers, and 9f of drain electrode layers for gate electrodes are imprinted on the transparence substrate 112.

[0088] Then, patterning of the electrode layer 129 for gate electrodes is carried out by the predetermined pattern so that it may not remain to a pixel field, and 4f of gate electrode layers is formed ( drawing 25 (D), drawing 26 (D)). Subsequently, the active-matrix substrate 111 ( drawing 23 , drawing 24 ) equipped with the thin film transistor T6 which carried out dry etching of the gate insulating layer 128, the semi-conductor layer 127, and the 7f of the contact layers by the predetermined pattern, and consisted of 4f of gate electrodes, 5f (128) of gate insulating layers, 6f of semi-conductor layers, 7f of contact layers, 8f of source electrode layers, and 9f of drain electrode layers is produced. In this thin film transistor T6, 4f of gate electrodes, 5f (128) of gate insulating layers, 6f of semi-conductor layers, 7f of contact layers, 8f of source electrode layers, and 9f of drain electrode layers are flat layers, and the step covering ledge in the level difference part of the conventional thin film transistor does not pose a problem. Moreover, since 8f of two source electrodes exists, a channel will be formed in the both sides of 9f of drain electrode layers. By forming the electrode layer 125 for a drain electrode and source electrodes with transparence conductive material, such as ITO, this active-matrix substrate 111 turns into an active-matrix substrate of a transparency mold, and turns into an active-matrix substrate of a reflective mold by forming the electrode layer 125 for a drain electrode and source electrodes with

metal conductive material, such as chromium.

[0089] Although a pixel electrode is connected to a drain electrode layer, each example of an above-mentioned active-matrix substrate may form a pixel electrode so that it may connect with a source electrode layer.

[0090] Moreover, the thin film transistor of this invention may equip the front face with a protective coat. Moreover, the active-matrix substrate of this invention may equip the front face of the field except a pixel electrode, for example, the front face of a thin film transistor to constitute, with a protective coat. In an active-matrix substrate, a drain electrode layer, a source electrode layer, a pixel electrode, or a gate electrode layer and a pixel electrode can make each inter-electrode insulation a more positive thing by having a protective coat as mentioned above, although it exists on the same film surface and a liquid crystal layer etc. is formed on this.

[0091] Such a protective coat has the desirable silicon nitride ( $\text{SiN}_x$ ) which can form by the silicon nitride formed with the coat which uses as a principal component the organic glass which uses silicon oxide as a principal component, and the silicon oxide which forms by the spreading-calcinating method, vacuum deposition, the sputtering method, a CVD method, etc., silicon oxide, the polyimide which is a transparence thermally stable polymer, polyamidoimide, glass, a ceramic precursor polymer, etc., and is especially formed with a CVD method from the point of a semi-conductor electrical property. Moreover, the thickness of a protective coat has desirable about 0.1–0.5 micrometers.

[0092] Next, a more concrete example is shown and this invention is further explained to a detail. (Example 1) The metal Ti layer (1 micrometer in thickness) was formed in the glass substrate with a thickness of 1mm by the sputtering method, and it considered as the heat-resistant support substrate. nickel deposit (3 micrometers in thickness) was formed by the electroplating method on the metal Ti layer of this heat-resistant support substrate, further, on nickel deposit, ordinary temperature glass coating agent GA-1 (fine glass technology company make) was applied, and the protective layer (1 micrometer in thickness) was formed. Next, Cr electrode layer for a drain electrode and source electrodes to this protective layer top (thickness of 0.2 micrometers), An  $n^+a\text{-Si:H}$  (contact) layer (thickness of 0.05 micrometers), an amorphous silicon ( $a\text{-Si}$ ) layer (thickness of 0.2 micrometers),  $\text{SiN}_x$  Continuation membrane formation of a layer (gate insulation) (thickness of 0.3 micrometers) and the Cr electrode layer for gate electrodes (thickness of 0.2 micrometers) was carried out in this sequence, and the multilayer object was produced (it corresponds to drawing 4 (A)). It sets in the production phase of this multilayer object, and they are for 40 minutes and  $\text{SiN}_x$  at 250 degrees C in 230 degrees C at the time of the  $a\text{-Si}$  stratification for 10 minutes at the time of the  $n^+a\text{-Si:H}$  stratification. High temperature processing by plasma CVD was made for 20 minutes at 350 degrees C, respectively at the time of the stratification. Next, patterning of the Cr electrode layer for the gate electrodes of the maximum upper layer of this multilayer object was carried out, and the gate electrode layer of a predetermined pattern was formed.

[0093] On the other hand, the polycarbonate (400 micrometers in thickness made from Teijin Chemistry) was prepared as a transparence substrate, on this transparence substrate, by spinner spreading (for 3000rpm and 30 seconds), the transparence adhesives of the following presentation were applied and the transparence glue line with a thickness of about 5 micrometers was formed.

[0094]

Presentation of transparence adhesives – adhesives (NISSETSU PE[ by Nippon Carbide Industries Co., Ltd. ]– 121)

— The 100 weight sections – cross linking agent (CK-101) — Three weight sections – toluene — It was stuck by pressure so that the gate electrode stratification side of the above-mentioned multilayer object might contact on the transparence glue line of the transparence substrate of 300 weight \*\*\*, and the heat-resistant support substrate was exfoliated. furthermore, the wet etching using a ferric chloride water solution — nickel deposit — removing — after that,  $\text{SF}_6$ , and  $\text{CF}_6$  etc. — the dry etching using gas — a protective layer — removing — Cr electrode layer for a drain electrode and source



electrodes, an n+a-Si:H layer, an a-Si layer, and SiN<sub>x</sub> The layer and the gate electrode layer were imprinted on the transparence substrate (it corresponds to drawing 4 (D)).

[0095] Then, after performing island formation (it corresponds to drawing 5 (A)) by patterning of Cr electrode layer for a drain electrode and source electrodes, an n+a-Si:H layer, and an a-Si layer, Cr source electrode layer and Cr drain electrode layer were formed by patterning of Cr electrode layer for a drain electrode and source electrodes (it corresponds to drawing 5 (B)). Furthermore, after performing patterning (it corresponds to drawing 5 (C)) of a n+a-Si:H layer, the active-matrix substrate as formed a transparence pixel electrode by the ITO film and shown in drawing 3 so that it may connect with Cr drain electrode layer was produced. Then, it is SiO<sub>x</sub> by vacuum deposition. The film (0.1 micrometers in thickness) is formed and only a pixel electrode top is SiO<sub>x</sub> by etching. The film was removed.

[0096] On the other hand, using a polycarbonate (400 micrometers in thickness made from Teijin Chemistry) as a transparence substrate, it formed so that the coloring layer (3 micrometers in thickness) of R, G, and B might be corresponded to the above-mentioned pixel electrode by a pigment-content powder method and a staining technique well-known on this transparence substrate, electrodeposition, print processes, etc., and it considered as the color filter layer. furthermore, a law -- according to the method, the transparence electric conduction film (ITO) with a thickness of 1000A was formed, and the color filter substrate was produced.

[0097] The above-mentioned active-matrix substrate top next, on the transparence electric conduction film of the above-mentioned color filter substrate It is spinner spreading (3000 rpm) about the coating liquid for orientation film (orientation agent AL- 3046 (Japan Synthetic Rubber Co., Ltd. make) and diluent ACT- thing which mixed 608 (Japan Synthetic Rubber Co., Ltd. make) at a rate of 5:3), respectively. It applied by for 30 seconds, the orientation film with a thickness of about 800A was formed, and rubbing processing was performed after that on conditions with a roll rotational-speed 200rpm and a stage rate of 10mm [/second ].

[0098] Next, the sealing layer was formed in the active-matrix substrate which performed the above-mentioned orientation processing by the sealing compound. Sealing layer formation used what mixed with a mean particle diameter of 6 micrometers spacer (PF[ by Nippon Electric Glass Co., Ltd. ]- 60) 20mg to 1g (Shikoku formation Make DSK- 7211 -4) of sealing compounds, and formed it with dispenser equipment.

[0099] Moreover, spreading formation of the spacer layer was carried out at the color filter substrate which performed the above-mentioned orientation processing. This spacer layer carries out spinner spreading (for 2000rpm and 30 seconds) of the spacer diluent (0.2 % of the weight of concentration) which diluted the adhesive spacer (XCmade from NATOKO- 610) with a mean particle diameter of 6 micrometers with the diluent (IPA: water =1:1), and is 2 150-200 grain density/mm. It formed so that it might become.

[0100] The panel cell assembly manufacture process established with the conventional glass substrate in such an active-matrix substrate and a color filter substrate was used, and it arranged so that a transparence electric insulation layer and transparence electric conduction film side might counter. Sticking by pressure and hardening were performed on the sticking-by-pressure pressure of 4kg/cm<sup>2</sup>, heat treatment of 120 degrees C, and the conditions of 1 hour, using a sticking-by-pressure fixture as the arrangement approach. Then, twist pneumatic liquid crystal LDP-5034LA (Chisso Corp. make) was poured into the gap section, it sealed with encapsulant, the liquid crystal layer was formed, and the film liquid crystal panel was produced. The thickness of this film liquid crystal panel was 2mm.

[0101] The color liquid crystal display (2mm in thickness) of a transparency mold active-matrix form display which stuck the polarization film on panel both sides using this film liquid crystal panel was produced. When displayed on this color liquid crystal display by connecting a drive circuit, it was a liquid crystal display equivalent to the color liquid crystal display produced using the conventional glass substrate with very high display quality. Moreover, property change of a thin film transistor, the open circuit of various wiring Rhine, and the short circuit were not accepted.

(Example 2) Mirror polishing (polish grade =Rmax value of 0.10 micrometers) of the front face of an SUS430BA plate with a thickness of 1mm was carried out by electrolysis compound polish, and it considered as the heat-resistant support substrate. nickel deposit (3 micrometers in thickness) was formed by the electroplating method on this heat-resistant support substrate. Next, they are an n+a-Si:H layer (thickness of 0.05 micrometers), an a-Si layer (thickness of 0.2 micrometers), and SiNx on this nickel deposit. Continuation membrane formation of a layer (thickness of 0.3 micrometers) and the Cr electrode layer for gate electrodes (thickness of 0.2 micrometers) was carried out in this sequence, and the multilayer object was produced (it corresponds to drawing 8 (A)). It sets in the production phase of this multilayer object, and they are for 40 minutes and SiNx at 300 degrees C in 300 degrees C at the time of the a-Si stratification for 10 minutes at the time of the n+a-Si:H stratification. High temperature processing by plasma CVD was made for 20 minutes at 300 degrees C, respectively at the time of the stratification. Next, patterning of the Cr electrode layer for the gate electrodes of the maximum upper layer of this multilayer object was carried out, and the gate electrode layer of a predetermined pattern was formed. In addition, unlike the example 1, by this example, a protective layer was not formed on nickel deposit. In case this removes nickel deposit at a back process, it is because it is far large compared with an n+a-Si:H layer, so an n+a-Si:H layer and the selective etching of the etching rate of nickel deposit become possible.

[0102] On the other hand, the polycarbonate (400 micrometers in thickness made from Teijin Chemistry) was prepared as a transparence substrate, on this transparence substrate, by spinner spreading (for 3000rpm and 30 seconds), ultraviolet curing mold transparence adhesives (trade name: world lock No.XVL-01M) were applied, ultraviolet rays were irradiated on the following conditions, and the transparence glue line with a thickness of about 5 micrometers was formed.

[0103] a UV irradiation condition, conveyor mold black light use, and ultraviolet-rays illuminance: 300 mW/cm<sup>2</sup> and irradiation time : 10 second and exposure : 300 mJ/cm<sup>2</sup> -- it was stuck by pressure so that the gate electrode stratification side of the above-mentioned multilayer object might contact on the transparence glue line of this transparence substrate, and the heat-resistant support substrate was exfoliated. Furthermore, the wet etching using a ferric chloride water solution removes nickel deposit, and they are an n+a-Si:H layer, an a-Si layer, and SiNx. The layer and the gate electrode layer were imprinted on the transparence substrate (it corresponds to drawing 8 (D)).

[0104] Then, after performing island formation (it corresponds to drawing 9 (A)) by patterning of an n+a-Si:H layer and an a-Si layer, Cr drain electrode layer and Cr source electrode layer (thickness of 0.2 micrometers) were formed by the sputtering method so that it might connect with an a-Si layer through an n+a-Si:H layer (it corresponds to drawing 9 (B)). Furthermore, the n+a-Si:H layer of the channel section was removed by the dry etching method (it corresponds to drawing 9 (C)). Subsequently, the active-matrix substrate as formed a transparence pixel electrode by the ITO film and shown in drawing 7 so that it may connect with Cr drain electrode layer was produced.

[0105] Next, the film liquid crystal panel (thickness of 2mm) was produced like the example 1 using the active-matrix substrate which carried out in this way and was produced.

[0106] The color liquid crystal display (2mm in thickness) of a transparency mold active-matrix form display which stuck the polarization film on panel both sides using this film liquid crystal panel was produced. When displayed on this color liquid crystal display by connecting a drive circuit, it was a liquid crystal display equivalent to the color liquid crystal display produced using the conventional glass substrate with very high display quality. Moreover, property change of a thin film transistor, the open circuit of various wiring Rhine, and the short circuit were not accepted.

(Example 3) Mirror polishing (polish grade =Rmax value of 0.10 micrometers) of the front face of the Invar alloy (nickel/Fe=36/64) plate with a thickness of 1mm was carried out by electrolysis compound polish, and it considered as the heat-resistant support substrate. Furthermore, this heat-resistant support substrate is immersed in the water solution of 50 g/l of an economy cleaner (12 % of the weight of sodium phosphates made from MURATA, 41 % of the weight of silicate of soda, 42.5 % of the weight of

sodium carbonate, 4.5 % of the weight of anion activators), and it is 1 mA/cm<sup>2</sup>. Passivation processing for 10 minutes was performed with current density.

[0107] the above-mentioned heat-resistant support substrate top -- an electroplating method -- a nickel-Fe deposit (3 micrometers in thickness) -- forming -- further -- a nickel-Fe deposit top -- a plasma-CVD method -- SiN<sub>x</sub> from -- the becoming protective layer (1 micrometer in thickness) was formed. Next, Cr electrode layer for gate electrodes to this protective layer top (thickness of 0.2 micrometers) and SiN<sub>x</sub> Continuation membrane formation of a layer (thickness of 0.3 micrometers), an a-Si layer (thickness of 0.2 micrometers), an n+a-Si:H layer (thickness of 0.05 micrometers), and the Cr electrode layer for a drain electrode and source electrodes (thickness of 0.2 micrometers) was carried out in this sequence, and the multilayer object was produced (it corresponds to drawing 12 (A)). It sets in the production phase of this multilayer object, and is SiN<sub>x</sub>. High temperature processing by plasma CVD was made [ 350 degrees C ] for 10 minutes by 230 degrees C for 40 minutes at 250 degrees C for 20 minutes, respectively at the time of the n+a-Si:H stratification at the time of the a-Si stratification at the time of the stratification.

[0108] Next, Cr electrode layer, the n+a-Si:H layer, the a-Si layer, and SiN<sub>x</sub> the drain electrode of this multilayer object, and for source electrodes Island formation (it corresponds to drawing 12 (B)) by patterning of a layer was performed, patterning of the Cr electrode layer for a drain electrode and source electrodes was carried out after that, and Cr source electrode layer and Cr drain electrode layer were formed (it corresponds to drawing 12 (C)). Subsequently, the n+a-Si:H layer of the channel section was removed by the dry etching method, and further, the transparence pixel electrode was formed by the ITO film so that it might connect with a drain electrode layer (it corresponds to drawing 13 (A)).

[0109] On the other hand, the polycarbonate (400 micrometers in thickness made from Teijin Chemistry) was prepared as a transparence substrate, on this transparence substrate, by spinner spreading (for 3000rpm and 30 seconds), ultraviolet curing mold transparence adhesives ( KEMISHIRU U-471 made from KEMITEKKU) were applied, ultraviolet rays were irradiated on the following conditions, and the transparence glue line with a thickness of about 5 micrometers was formed.

[0110] a UV irradiation condition, conveyor mold black light use, and ultraviolet-rays illuminance: 200 mW/cm<sup>2</sup> and irradiation time : 10 second and exposure : 2000 mJ/cm<sup>2</sup> -- it was stuck by pressure so that a drain electrode layer [ of the above-mentioned layered product ] and source electrode stratification side might contact on the transparence glue line of this transparence substrate, and the heat-resistant support substrate was exfoliated. furthermore, the wet etching using a ferric chloride water solution -- a nickel-Fe deposit -- removing -- after that, SF<sub>6</sub>, and CF<sub>6</sub> etc. -- the dry etching using gas removed the protective layer, and a drain electrode layer, a source electrode layer, an n+a-Si:H layer, the a-Si layer, the SiN<sub>x</sub> layer, Cr electrode layer for gate electrodes, and the ITO transparence pixel electrode were imprinted on the transparence substrate (it corresponds to drawing 13 (C)). Subsequently, the active-matrix substrate as carried out patterning of the Cr electrode layer for gate electrodes by the predetermined pattern so that it may not remain to a pixel field, and shown in drawing 1010 was produced.

[0111] In next, the 5-% of the weight water solution of KP-06 (the Nippon Synthetic Chemical Industry [ Co., Ltd. ] make, polymerization degree: about 600, saponification degree:71-75) After carrying out ultrasonic distribution of E-44 (Merck Japan make), the 10-% of the weight water solution of KH-17 (the Nippon Synthetic Chemical Industry [ Co., Ltd. ] make, polymerization degree: about 1700, saponification degree:78.5-81.5) is added. The PVA part water spray solution of liquid crystal was produced, and it considered as the polymer dispersed liquid crystal so that it might finally be set to PVA:liquid crystal =20:80 (weight ratio).

[0112] Next, used blade coater and applied this polymer dispersed liquid crystal to the thin film transistor formation side of the above-mentioned active-matrix substrate, and perform 40 degrees C and heat treatment of 1 hour, it was made to dry, and the polymer dispersed liquid crystal layer of 10 micrometers of thickness was formed.

[0113] on the other hand -- as a transparence substrate -- a polycarbonate (400 micrometers in thickness made from Teijin Chemistry) -- using -- this transparence substrate top -- a law -- according to the method, the transparence electric conduction film (ITO) with a thickness of 1000Å was formed. Furthermore, on this transparence electric conduction film, the same transparence adhesives as an example 1 were applied by spinner spreading (for 3000rpm and 30 seconds), the transparence glue line with a thickness of about 2 micrometers was formed, and the opposite substrate was produced.

[0114] Such an active-matrix substrate and an opposite substrate were arranged so that a polymer dispersed liquid crystal layer and transparence glue line side might counter like an example 1, and the polymer dispersed liquid crystal display (3mm in thickness) of an active-matrix form display was produced. Sticking by pressure and hardening were performed on the sticking-by-pressure pressure of 4kg/cm<sup>2</sup>, heat treatment of 40 degrees C, and the conditions of 1 hour, using a sticking-by-pressure fixture as the arrangement approach.

[0115] When displayed on this liquid crystal display by connecting a drive circuit, it was a liquid crystal display with very high display quality. Moreover, property change of a thin film transistor, the open circuit of various wiring Rhine, and the short circuit were not accepted.

(Example 4) The metal Cr layer (1 micrometer in thickness) was formed in the glass substrate with a thickness of 1mm by the sputtering method, and it considered as the heat-resistant support substrate. nickel deposit (3 micrometers in thickness) is formed by the electroplating method on the metal Cr layer of this heat-resistant support substrate, and it is SiO<sub>2</sub> on nickel deposit further. The coating liquid for system coat formation (OCD[ by TOKYO OHKA KOGYO CO., LTD. ] Type- 7) was applied, 400 degrees C and heat treatment for 30 minutes were performed, and the protective layer (0.5 micrometers in thickness) was formed. Next, continuation membrane formation of Cr electrode layer for gate electrodes (thickness of 0.2 micrometers), a SiN<sub>x</sub> layer (thickness of 0.3 micrometers), an a-Si layer (thickness of 0.2 micrometers), and the n+a-Si:H layer (thickness of 0.05 micrometers) was carried out in this sequence on this protective layer, and the multilayer object was produced (it corresponds to drawing 15 (A)). It sets in the production phase of this multilayer object, and they are for 40 minutes and SiN<sub>x</sub> at 250 degrees C in 230 degrees C at the time of the a-Si stratification for 10 minutes at the time of the n+a-Si:H stratification. High temperature processing by plasma CVD was made for 20 minutes at 350 degrees C, respectively at the time of the stratification.

[0116] Next, the n+a-Si:H layer, the a-Si layer, and SiN<sub>x</sub> of this multilayer object Island formation (it corresponds to drawing 15 (B)) by patterning of a layer was performed, and further, Cr drain electrode layer and Cr source electrode layer (thickness of 0.2 micrometers) were formed by the sputtering method so that it might connect with an a-Si layer through an n+a-Si:H layer (it corresponds to drawing 15 (C)). Subsequently, dry etching removed the n+a-Si:H layer of the channel section, and the transparence pixel electrode was formed by the ITO film so that it might connect with Cr drain electrode layer after that (it corresponds to drawing 16 (A)).

[0117] On the other hand, the polycarbonate (400 micrometers in thickness made from Teijin Chemistry) was prepared as a transparence substrate, and the transparence glue line with a thickness of about 5 micrometers was formed like the example 2 on this transparence substrate.

[0118] It was stuck by pressure so that a drain electrode layer [ of the above-mentioned layered product ] and source electrode stratification side might contact on the transparence glue line of this transparence substrate, and the heat-resistant support substrate was exfoliated. Furthermore, the wet etching using a ferric chloride water solution removes nickel deposit, a protective layer is removed by dry etching (SF<sub>6</sub> : C<sub>2</sub> ClF<sub>5</sub> = 50:50) after that, and they are a drain electrode layer, a source electrode layer, an n+a-Si:H layer, an a-Si layer, and SiN<sub>x</sub>. The layer, Cr electrode layer for gate electrodes, and the ITO transparence pixel electrode were imprinted on the transparence substrate (it corresponds to drawing 16 (C)). Subsequently, the active-matrix substrate as carried out patterning of the Cr electrode layer for gate electrodes by the predetermined pattern so that it may not remain to a pixel field, and shown in drawing 14 was produced.

[0119] Next, TL205 (Merck Japan liquid crystal) and PN393 (the Merck Japan prepolymer and mixture of a photoinitiator) were mixed at a rate of 8:2 (weight ratio), and it considered as the polymer dispersed liquid crystal.

[0120] on the other hand -- as a transparence substrate -- a polycarbonate (400 micrometers in thickness made from Teijin Chemistry) -- using -- this transparence substrate top -- a law -- according to the method, the transparence electric conduction film (ITO) with a thickness of 1000Å was formed, and the opposite substrate was produced.

[0121] Next, blade coater was used, the above-mentioned polymer dispersed liquid crystal was applied to the thin film transistor formation side of the above-mentioned active-matrix substrate (thickness of about 10 micrometers), ultraviolet rays were irradiated to the above-mentioned opposite substrate lamination and on condition that the following in this spreading side, and the polymer dispersed liquid crystal display (3mm in thickness) of an active-matrix form display was produced.

[0122] a UV irradiation condition and ultraviolet-rays illuminance: 10 mW/cm<sup>2</sup> and irradiation time : 2 minute and dose : 1200 mJ/cm<sup>2</sup> -- when displayed on this liquid crystal display by connecting a drive circuit, it was a liquid crystal display with very high display quality. Moreover, property change of a thin film transistor, the open circuit of various wiring Rhine, and the short circuit were not accepted.

(Example 5) Mirror polishing (polish grade =Rmax value of 0.03 micrometers) of the front face on an SUS304BA plate with a thickness of 0.3mm was carried out by electrolysis compound polish like the example 3, and it considered as the heat-resistant support substrate. this heat-resistant support substrate top -- an electroplating method -- nickel deposit (3 micrometers in thickness) -- forming -- further -- nickel deposit top -- a plasma-CVD method -- SiNx from -- the becoming protective layer (1 micrometer in thickness) was formed.

[0123] Next, Cr electrode layer for a drain electrode and source electrodes to this protective layer top (thickness of 0.2 micrometers), an n+a-Si:H layer (thickness of 0.05 micrometers), an a-Si layer (thickness of 0.2 micrometers), and SiNx Continuation membrane formation of a layer (thickness of 0.3 micrometers) and the Cr electrode layer for gate electrodes (thickness of 0.2 micrometers) was carried out in this sequence, and the multilayer object was produced (it corresponds to drawing 21 and drawing 22 (A)). It sets in the production phase of this multilayer object, and they are for 40 minutes and SiNx at 250 degrees C in 230 degrees C at the time of the a-Si stratification for 10 minutes at the time of the n+a-Si:H stratification. High temperature processing by plasma CVD was made for 20 minutes at 350 degrees C, respectively at the time of the stratification. Next, patterning of the Cr electrode layer for the gate electrodes of the maximum upper layer of this multilayer object was carried out, and the gate electrode layer of a predetermined pattern was formed.

[0124] On the other hand, the polycarbonate (400 micrometers in thickness made from Teijin Chemistry) was prepared as a transparence substrate, and the transparence glue line with a thickness of about 5 micrometers was formed like the example 3 on this transparence substrate.

[0125] It was stuck by pressure so that the gate electrode stratification side of the above-mentioned multilayer object might contact on the transparence glue line of this transparence substrate, and the heat-resistant support substrate was exfoliated. furthermore, the wet etching using a ferric chloride water solution -- nickel deposit -- removing -- after that, SF<sub>6</sub>, and CF<sub>6</sub> etc. -- the dry etching using gas -- a protective layer -- removing -- Cr electrode layer for a drain electrode and source electrodes, an n+a-Si:H layer, an a-Si layer, and SiNx The layer and the gate electrode layer were imprinted on the transparence substrate (it corresponds to drawing 21 and drawing 22 (B)).

[0126] Then, after performing island formation (it corresponds to drawing 21 and drawing 22 (C)) by patterning of Cr electrode layer for a drain electrode and source electrodes, an n+a-Si:H layer, and an a-Si layer, Cr source electrode layer and Cr drain electrode layer were formed by patterning of Cr electrode layer for a drain electrode and source electrodes (it corresponds to drawing 21 and drawing 22 (D)). In this case, Cr drain electrode layer was located between two Cr source electrode layers, and the pixel electrode was formed in one with Cr drain electrode layer. Furthermore, the active-matrix

substrate of a reflective mold as removed the n+a-Si:H layer of the channel section by dry etching and shown in drawing 1919 and drawing 20 was produced.

[0127] Next, the polymer dispersed liquid crystal display (3mm in thickness) of an active-matrix form display was produced like the example 4 using the active-matrix substrate which carried out in this way and was produced.

[0128] When displayed on this liquid crystal display by connecting a drive circuit, it was a liquid crystal display with very high display quality. Moreover, property change of a thin film transistor, the open circuit of various wiring Rhine, and the short circuit were not accepted.

(Example 6) Mirror polishing (polish grade =Rmax value of 0.03 micrometers) of the front face on an SUS304BA plate with a thickness of 0.3mm was carried out by electrolysis compound polish like the example 3, and it considered as the heat-resistant support substrate. this heat-resistant support substrate top -- an electroplating method -- nickel deposit (3 micrometers in thickness) -- forming -- further -- nickel deposit top -- a plasma-CVD method -- SiNx from -- the becoming protective layer (1 micrometer in thickness) was formed.

[0129] Next, Cr electrode layer for gate electrodes to this protective layer top (thickness of 0.2 micrometers) and SiNx Continuation membrane formation of a layer (thickness of 0.3 micrometers), an a-Si layer (thickness of 0.2 micrometers), an n+a-Si:H layer (thickness of 0.05 micrometers), and the Cr electrode layer for a drain electrode and source electrodes (thickness of 0.2 micrometers) was carried out in this sequence, and the multilayer object was produced (it corresponds to drawing 25 and drawing 26 (A)). It sets in the production phase of this multilayer object, and is SiNx. High temperature processing by plasma CVD was made [ 350 degrees C ] for 10 minutes by 230 degrees C for 40 minutes at 250 degrees C for 20 minutes, respectively at the time of the n+a-Si:H stratification at the time of the a-Si stratification at the time of the stratification.

[0130] Next, island formation by patterning of Cr electrode layer the drain electrode of this multilayer object and for source electrodes and an n+a-Si:H layer was performed, and Cr source electrode layer and Cr drain electrode layer were formed (it corresponds to drawing 25 and drawing 26 (B)). In this case, Cr drain electrode layer was located between two Cr source electrode layers, and the pixel electrode was formed in one with Cr drain electrode layer.

[0131] On the other hand, the polycarbonate (400 micrometers in thickness made from Teijin Chemistry) was prepared as a transparence substrate, and the transparence glue line with a thickness of about 5 micrometers was formed like the example 3 on this transparence substrate.

[0132] It was stuck by pressure so that Cr source electrode layer [ of the above-mentioned layered product ] and Cr drain electrode stratification side might contact on the transparence glue line of this transparence substrate, and the heat-resistant support substrate was exfoliated. furthermore, the wet etching using a ferric chloride water solution -- nickel deposit -- removing -- after that, SF6, and CF6 etc. -- the dry etching using gas -- a protective layer -- removing -- a drain electrode layer, a source electrode layer, an n+a-Si:H layer, an a-Si layer, and SiNx The layer and Cr electrode layer for gate electrodes were imprinted on the transparence substrate (it corresponds to drawing 25 and drawing 26 (C)).

[0133] Next, patterning of the Cr electrode layer for gate electrodes is carried out, the gate electrode layer of a predetermined pattern is formed (it corresponds to drawing 25 R> 5 and drawing 26 (D)), and they are an n+a-Si:H layer, an a-Si layer, and SiNx further. The active-matrix substrate of a reflective mold as carried out patterning of the layer and shown in drawing 2323 and drawing 24 was produced.

[0134] Next, the polymer dispersed liquid crystal display (3mm in thickness) of an active-matrix form display was produced like the example 4 using the active-matrix substrate which carried out in this way and was produced.

[0135] When displayed on this liquid crystal display by connecting a drive circuit, it was a liquid crystal display with very high display quality. Moreover, property change of a thin film transistor, the open circuit of various wiring Rhine, and the short circuit were not accepted.

[0136]

[Effect of the Invention] As explained in full detail above, on the metal deposit which was formed in the heat-resistant support substrate possible [ exfoliation ] according to this invention Since a laminating is carried out by continuation membrane formation in the sequence of a request of the electrode layer for a drain electrode and source electrodes, a semi-conductor layer, a gate insulating layer, and the electrode layer for gate electrodes and a multilayer object is produced beforehand Possibility that dust will mix into these many layers is very small, and patterning of the configuration layer of this multilayer object is carried out after that. And/ After imprinting a multilayer object to a substrate, patterning is carried out and it considers as a thin film transistor, and it compares with the manufacture approach of the conventional thin film transistor. Or since there are very few membrane formation processes, The gate electrode layer which constitutes a thin film transistor, a gate insulating layer, a semi-conductor layer, Since it is prevented that the pinhole and chip by dust mixing arise in a drain electrode layer and a source electrode layer and most configuration most [ all or ] are formed evenly Very few thin film transistors of the open circuit by level difference riding \*\*\*\* a configuration layer's, or generating of poor insulation, The active-matrix substrate equipped with such a thin film transistor in the shape of a matrix becomes possible. Moreover, as mentioned above, since any before and after the imprint to a substrate are sufficient as processing of a multilayer object, namely, either of both sides of a multilayer object is also processible and deformation of a multilayer object is further prevented by the heat-resistant support substrate Multilayer object formation can be performed using the manufacture process technique of an active element and facility which are established with the conventional glass substrate as it is. The heat-resistant support substrate which became unnecessary after imprinting to a substrate, and the active-matrix substrate which removes a metal deposit and is obtained become the flat thing which does not almost have the difference of elevation of a thin film transistor formation field and the other field.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline sectional view showing one example of the thin film transistor of this invention.

[Drawing 2] It is the top view showing a part of structures of the active-matrix substrate of this invention equipped with the thin film transistor shown in drawing 1 .

[Drawing 3] It is drawing showing the 1st example of the active-matrix substrate of this invention, and is an outline sectional view in the X-X cutting plane line of drawing 2 .

[Drawing 4] It is process drawing showing an example of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 5] It is process drawing showing an example of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 6] It is process drawing showing other examples of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 7] It is the outline sectional view of drawing 3 showing the 2nd example of the active-matrix substrate of this invention.

[Drawing 8] It is process drawing showing other examples of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 9] It is process drawing showing other examples of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 10] It is the outline sectional view of drawing 3 showing the 3rd example of the active-matrix substrate of this invention.

[Drawing 11] It is the outline sectional view of drawing 3 showing the 3rd example of the active-matrix substrate of this invention.

[Drawing 12] It is process drawing showing other examples of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 13] It is process drawing showing other examples of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 14] It is the outline sectional view of drawing 3 showing the 4th example of the active-matrix substrate of this invention.

[Drawing 15] It is process drawing showing other examples of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 16] It is process drawing showing other examples of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 17] It is the outline sectional view of drawing 3 showing the 4th example of the active-matrix substrate of this invention.

[Drawing 18] It is the top view showing a part of structures of the active-matrix substrate of this invention equipped with the thin film transistor.

[Drawing 19] It is drawing showing the 5th example of the active-matrix substrate of this invention, and is an outline sectional view in the X-X cutting plane line of drawing 18 .

[Drawing 20] It is drawing showing the 5th example of the active-matrix substrate of this invention, and is an outline sectional view in the Y-Y cutting plane line of drawing 18 .

[Drawing 21] It is process drawing showing an example of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 22] It is process drawing showing an example of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 23] It is the outline sectional view of drawing 19 showing the 6th example of the active-matrix substrate of this invention.

[Drawing 24] It is the outline sectional view of drawing 20 showing the 6th example of the active-matrix substrate of this invention.

[Drawing 25] It is process drawing showing an example of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Drawing 26] It is process drawing showing an example of the manufacture approach of the thin film transistor of this invention, and an active-matrix substrate.

[Description of Notations]

T1, T2, T3, T four, T5, T6 -- Thin film transistor

2 -- Substrate

3 -- Glue line

4a, 4b, 4c, 4d, 4e, 4f -- Gate electrode layer



5a, 5b, 5c, 5d, 5e, 5f -- Gate insulating layer  
6a, 6b, 6c, 6d, 6e, 6f -- Semi-conductor layer  
7a, 7b, 7c, 7d, 7e, 7f -- Contact layer  
8a, 8b, 8c, 8d, 8e, 8f -- Source electrode layer  
9a, 9b, 9c, 9d, 9e, 9f -- Drain electrode layer  
11, 31, 51, 71, 91,111 -- Active-matrix substrate  
12, 32, 52, 72, 92,112 -- Transparence substrate  
13, 33, 53, 73, 93,113 -- Transparence glue line  
14, 34, 54, 74, 94,114 -- (transparence) Pixel electrode  
21, 41, 61, 81,101,121 -- Multilayer object  
22, 42, 62, 82,102,122 -- Heat-resistant support substrate  
23, 43, 63, 83,103,123 -- Metal deposit  
24, 64, 84,104,124 -- Protective layer  
25 65,105,125 -- Electrode layer for a drain electrode and source electrodes  
26, 46, 66, 86,106,126 -- Contact layer  
27, 47, 67, 87,107,127 -- Semi-conductor layer  
28, 48, 68, 88,108,128 -- Gate insulating layer  
29, 49, 69, 89,109,129 -- Electrode layer for gate electrodes

---

[Translation done.]